

CPS32K11x

数据手册



Rev: 1.1

2024/04/02

© 2023 芯弦半导体

本文档包含芯弦半导体的专有信息。未经授权，严禁复制或披露本文档包含的任何信息。由于产品版本升级或其他原因，本文档内容会不定期进行更新。

目录

目录.....	2
1 主要特性.....	4
1.1 芯片特性.....	4
1.2 型号功能对照表.....	5
1.3 功能引脚.....	6
2 功能简介.....	8
2.1 整体框图.....	8
2.2 产品功能概述.....	9
2.2.1 32 位 Cortex®-M0+内核.....	9
2.2.2 存储器(Memory).....	9
2.2.3 工作模式.....	10
2.2.4 时钟系统.....	10
2.2.5 复位控制器.....	10
2.2.6 通用 IO 端口.....	10
2.2.7 定时器和看门狗.....	11
2.2.8 通信接口.....	11
2.2.9 蜂鸣器.....	11
2.2.10 模拟功能.....	11
2.2.11 系统功能.....	11
3 引脚分配.....	12
3.1 信号多路复用和引脚分配.....	12
3.2 器件引脚分配.....	15
4 器件标识.....	20
4.1 说明.....	20
4.2 格式.....	20
4.3 字段.....	20
5 额定值.....	21
5.1 热学操作额定值.....	21
5.2 湿度操作额定值.....	21
5.3 ESD 操作额定值.....	21
5.4 电压和电流操作额定值.....	21
6 通用.....	23
6.1 参数分类.....	23
6.2 静态电气规格.....	24
6.2.1 电源和地引脚.....	24
6.2.2 上电斜率.....	24
6.2.3 DC 特性.....	25

6.2.4	电源电流特性.....	27
6.3	动态规格	28
6.3.1	控制时序	28
6.3.2	TIM1/TIM2 模块时序.....	28
6.3.3	SPI 规格.....	29
6.3.4	CAN 规格	31
6.3.5	UART 规格.....	31
6.3.6	I2C 规格	31
6.3.7	SWD 电气规格.....	33
6.4	时钟源特性.....	34
6.4.1	外部晶振(HXT)特性.....	34
6.4.2	外部 32.768KHz 晶振 LXT 特性.....	34
6.4.3	内部 RC 特性	35
6.4.4	PLL 规格.....	36
6.5	模拟.....	37
6.5.1	片内 Flash 规格	37
6.5.2	ADC 特性.....	38
6.5.3	内部 VREF 特性	39
6.5.4	模拟比较器(VC)特性.....	39
6.5.5	PGA 特性.....	39
6.5.6	从低功耗模式唤醒时间.....	39
7	尺寸	41
7.1	LQFP80 封装信息	41
7.2	LQFP64 封装信息	42
7.3	LQFP48 封装信息	43
7.4	LQFP32 封装信息	44
7.5	QFN32 封装信息	45
8	热规格.....	46
8.1	热特性	46
9	版权声明	47
10	修订记录.....	47

1 主要特性

1.1 芯片特性

- 车规标准
 - 通过AEC-Q100 Grade检测认证
 - 符合Grade1, ASIL-B标准
- 工作电压
 - 电压范围VDD=AVDD=2.7~5.5V
 - 环境温度Ta=-40~+125℃
- 性能
 - 高达48MHz的ARM® Cortex- M0+内核
 - 单周期32位乘法器
 - 32位协处理器(除法器/三角函数)
- 存储器和存储器接口
 - 最高128KB的片内Flash, 支持ECC,支持1KB的cache和prefetch
 - 最高20KB的SRAM, 支持ECC
- 时钟
 - 高速振荡器 (HXT) – 支持8MHz到32MHz石英晶体振荡器; 可选择低功耗或高增益振荡器
 - 低速振荡器 (LXT) – 32.768KHz石英晶体振荡器; 可选择低功耗或高增益振荡器
 - 内部高速时钟源 (HIRC) –8 MHz预校准内部基准时钟源, 全温度范围误差<±3.0%@VCC=2.7~5.5V, 常温25℃<±0.5%
 - 内部低速时钟源(LIRC)–38.4/32.768KHz预校准内部基准时钟源, 全温度范围误差<±5.0%@VCC=2.7~5.5V
 - PLL – 输入频率4~30MHz, 输出频率5~48MHz,输出倍频可以配置, 锁定时间最大为50μs
 - 支持外部时钟输入, 1~32MHz
- 系统外设
 - 两种低功耗模式:Sleep, DeepSleep
 - Power On Reset
 - 低压检测复位电路(LVD)
 - 带独立时钟源的看门狗(IWDG)
 - 串行线调试(SWD)接口
- 人机接口
 - 多达71个通用输入输出接口(GPIO)
 - 所有端口都是5V-IO
- 每组GPIO都支持外部中断(IRQ)
- 不可屏蔽中断外部输入(NMI)
- 模拟模块
 - 一个多达18个外部输入通道, 12bit高速SAR ADC, 最大转换速率1MSPS。
 - 支持内部的(2V/4V)参考电压/AVDD/Exvref
 - 内部的参考电压支持全温度范围±4%的精度。
 - 温度传感器精度±5.0℃
 - 电压比较器1ch, 支持轨到轨,包含6位DAC和可编程参考输入的模拟比较器(VC)
 - 一个可编程放大器PGA(放大倍率X1~X50)
- 定时器
 - 2个16位高级控制定时器(TIM1/TIM2)
 - 2个16/32位基础定时器/计数器(TIM10/TIM11)
 - 1个16位低功耗定时器(LPTIM)
 - 1个实时时钟(RTC)
 - 1个可编程计数器阵列(PCA)
 - 1个窗口看门狗(WWDG)
- 通信接口
 - 1个CAN-FD模块, 兼容CAN2.0B
 - 2个标准UART模块
 - 1个LPUART模块
 - 2个硬件LIN模块
 - 2个标准SPI模块
 - 2个标准I2C模块
 - 1个1-Wire通信
- 硬件CRC-16模块
- 16字节UID号
- 封装选项
 - 80引脚LQFP
 - 64引脚LQFP
 - 48引脚LQFP
 - 32引脚LQFP
 - 32引脚QFN

1.2 型号功能对照表

功能		产品型号											
		CPS32K 116LFLKMT	CPS32K 114LFLKMT	CPS32K 116LFLHMT	CPS32K 114LFLHMT	CPS32K 116LFLFMT	CPS32K 114LFLFMT	CPS32K 116LFLDMT	CPS32K 114LFLDMT	CPS32K 112LFLDMT	CPS32K 116LFQDMT	CPS32K 114LFQDMT	CPS32K 112LFQDMT
引脚数		80	80	64	64	48	48	32	32	32	32	32	32
GPIO 数		71	71	58	58	43	43	27	27	27	27	27	27
封装		LQFP	LQFP	LQFP	LQFP	LQFP	LQFP	LQFP	LQFP	LQFP	QFN	QFN	QFN
温度范围		Ta = -40~125℃											
电源电压工作范围		VDD=AVDD=2.7~5.5V											
存储器	Flash	128	64	128	64	128	64	128	64	32	128	64	32
	SRAM	20	16	20	16	20	16	20	16	12	20	16	12
外部端口中断		所有 GPIO 端口											
外部非可屏蔽中断 (NMI)		1	1	1	1	1	1	1	1	1	1	1	1
通信接口	CAN-FD 兼容 CAN2.0B	1	1	1	1	1	1	1	1	1	1	1	1
	LIN	2	2	2	2	2	2	2	2	2	2	2	2
	SPI	2	2	2	2	2	2	2	2	2	2	2	2
	UART	2	2	2	2	2	2	2	2	2	2	2	2
	LPUART	1	1	1	1	1	1	1	1	1	1	1	1
	I2C	2	2	2	2	2	2	2	2	2	2	2	2
	1-Wire	1	1	1	1	1	1	1	1	1	1	1	1
定时器	TIM1	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)
	TIM2	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)	1(4ch)
	TIM10	1	1	1	1	1	1	1	1	1	1	1	1
	TIM11	1	1	1	1	1	1	1	1	1	1	1	1
	LPTIM	1	1	1	1	1	1	1	1	1	1	1	1
	RTC	1	1	1	1	1	1	1	1	1	1	1	1
	PCA	1	1	1	1	1	1	1	1	1	1	1	1
	WWDG	1	1	1	1	1	1	1	1	1	1	1	1
	IWDG	1	1	1	1	1	1	1	1	1	1	1	1
模拟功能	12bit ADC	18ch AIN	18ch AIN	18ch AIN	18ch AIN	15ch AIN	15ch AIN	10ch AIN	10ch AIN	10ch AIN	10ch AIN	10ch AIN	10ch AIN
	TSN	1	1	1	1	1	1	1	1	1	1	1	1
	VC(自带 6 位 DAC)	VC_IN(15ch)	VC_IN(15ch)	VC_IN(15ch)	VC_IN(15ch)	VC_IN(11ch)	VC_IN(11ch)	VC_IN(10ch)	VC_IN(10ch)	VC_IN(10ch)	VC_IN(10ch)	VC_IN(10ch)	VC_IN(10ch)
	PGA	1	1	1	1	1	1	1	1	1	1	1	1
时钟	HXT	1	1	1	1	1	1	1	1	1	1	1	1
	LXT	1	1	1	1	1	1	1	1	1	1	1	1
	HIRC	1	1	1	1	1	1	1	1	1	1	1	1
	LIRC	1	1	1	1	1	1	1	1	1	1	1	1
	PLL	1	1	1	1	1	1	1	1	1	1	1	1

1.3 功能引脚

类别	功能名	类型	说明
Power	VDD	S	电源
	VSS	S	电源地
	VCAP	-	内核电压, 需要外挂 2.2~4.7uF 的电容, 考虑到电容精度, 推荐使用 4.7uF
	AVDD	S	模拟电源
	AVSS	S	模拟电源地
	VREFEXT	S	ADC 参考电压
System	NRST	I	端子复位, 低有效
Clock	OSC_IN	I	外部高速振荡器接口/外部高速方波输入
	OSC_OUT	O	外部高速振荡器接口
	OSC32_IN	I	外部低速(32.768KHz)振荡器接口/ 外部低速(32.768KHz)方波输入
	OSC32_OUT	O	外部低速(32.768KHz)时钟振荡器接口
	CLK_MCO	O	内部系统时钟输出
NMI	NMI	I	外部非可屏蔽中断
GPIO	Pxy(x=A~E,y=0~15)	IO	通用输入输出端口
SWD	SWDCLK	I	在线调试接口
	SWDIO	IO	
RTC	RTC_CLKOUT	O	RTC 1Hz 时钟输出
	RTC_CLKIN	I	RTC 时钟输入
TIM1	TIM1_ETR	I	TIM1 事件输入
	TIM1_CHx(x=1~4)	IO	TIM1 输入捕获或者 TIM1 比较匹配输出
	TIM1_CHxN(x=1~4)	O	TIM1 比较输出反相
	TIM1_BKIN	I	TIM1 刹车输入
TIM2	TIM2_ETR	I	TIM2 事件输入
	TIM2_CHx(x=1~4)	IO	TIM2 输入捕获或者 TIM2 比较匹配输出
	TIM2_CHxN(x=1~4)	O	TIM2 比较输出反相
	TIM2_BKIN	I	TIM2 刹车输入
TIM10	TIM10_EXT	I	TIM10 外部输入时钟
	TIM10_GATE	I	TIM10 外部输入时钟门控
	TIM10_TOG	O	TIM10 输出
	TIM10_TOGN	O	TIM10 输出反相
TIM11	TIM11_EXT	I	TIM11 外部输入时钟
	TIM11_GATE	I	TIM11 外部输入时钟门控
	TIM11_TOG	O	TIM11 输出
	TIM11_TOGN	O	TIM11 输出反相
LPTIM	LPTIM_EXT	I	LPTIM 外部输入时钟
	LPTIM_GATE	I	LPTIM 外部输入时钟门控
	LPTIM_TOG	O	LPTIM 输出
	LPTIM_TOGN	O	LPTIM 输出反相
PCA	PCA_ECI	I	PCA 外部输入时钟
	PCA_CHx(x=0~4)	IO	PCA 外部输入或者 PCA 匹配输出
BEEP	BEEP	O	BEEP 输出
LPUART	LPUART_RX	I	LPUART 通信接收数据
	LPUART_TX	O	LPUART 通信发送数据
UART0/1	UARTx_RX(x=0~1)	I	UART 通信接收数据
	UARTx_TX(x=0~1)	O	UART 通信发送数据

类别	功能名	类型	说明
I2C0/1	I2Cx_SDA(x=0~1)	IO	I2C 时钟线
	I2Cx_SCL(x=0~1)	IO	I2C 数据线
SPI0/1	SPIx_NSS(x=0~1)	IO	SPI 从机选择输入输出
	SPIx_SCK(x=0~1)	IO	SPI 传输时钟
	SPIx_MOSI(x=0~1)	IO	SPI 主输出/从输入数据传输
	SPIx_MISO(x=0~1)	IO	SPI 主输入/从输出数据传输
1-Wire	1-Wire	IO	1 线式通信输入输出数据
LIN0/1	LINx_RX(x=0~1)	I	LIN 通信接收数据
	LINx_TX(x=0~1)	O	LIN 通信发送数据
CAN	CAN_RX	I	CAN 通信接收数据
	CAN_TX	O	CAN 通信发送数据
ADC	AINx(x=0~17)	I	ADC 模拟输入
VC	VC_INx(x=0~14)	I	VC 比较外部模拟输入
	VC_OUT	O	VC 比较结果输出
LVD	LVD_OUT	O	LVD 输出
HIRC	HIRC_OUT	O	HIRC 输出
LIRC	LIRC_OUT	O	LIRC 输出
PGA	PGA_IN	I	PGA 模拟输入
	PGA_OUT	O	PGA 模拟输出

注：

S: power supply

I: input

O: output

IO: input and output

2 功能简介

2.1 整体框图

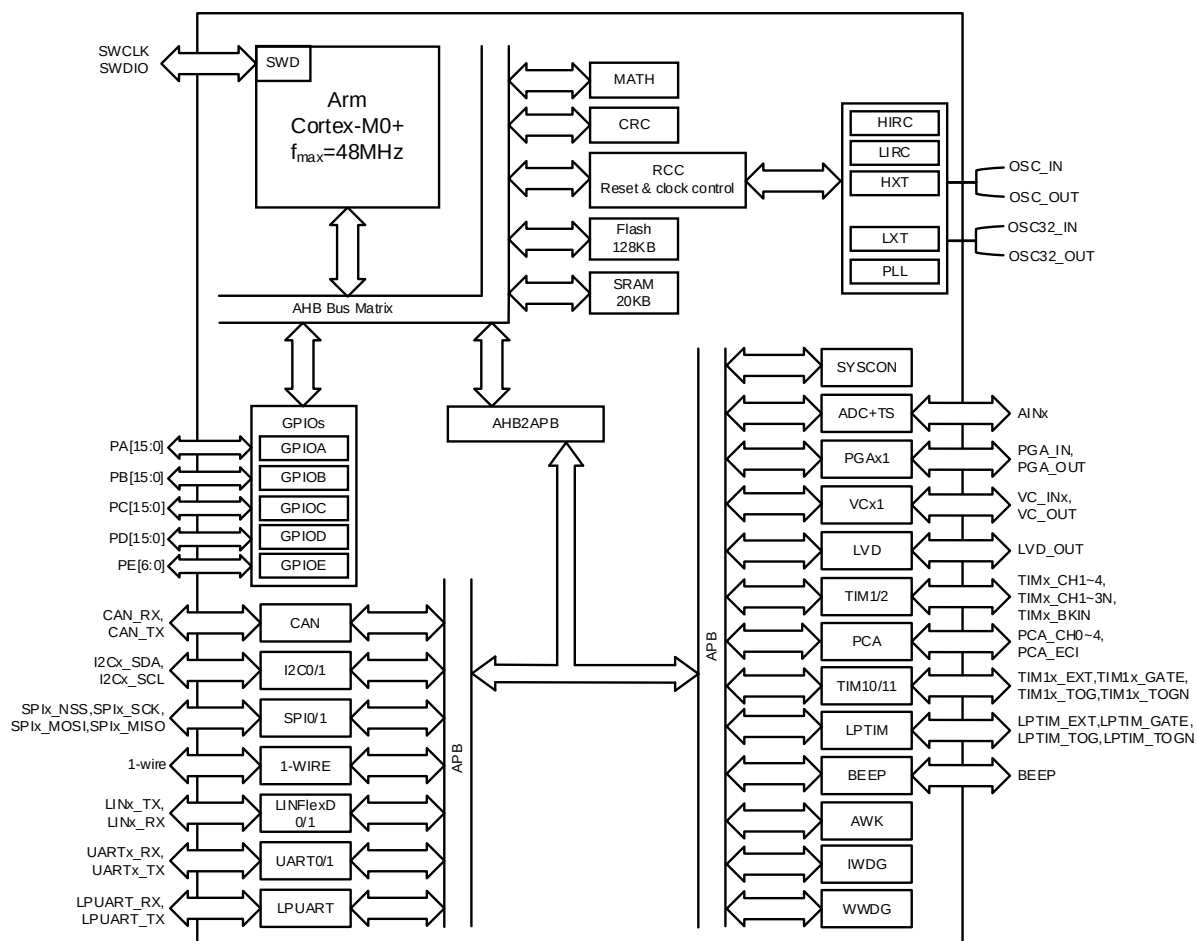


图 2-1 CPS32K11x 整体框图

2.2 产品功能概述

2.2.1 32 位 Cortex®-M0+内核

ARM® Cortex®-M0+处理器是一款嵌入式 32 位 RISC 处理器,该处理器引脚数少、功耗低,能够提供满足 MCU 实现需要的低成本平台。同时提供卓越的计算性能和先进的中断系统响应。Cortex®-M0+处理器全面支持 KEIL & IAR 调试器,包含了一个硬件调试电路,支持 2 线式的 SWD 调试接口。表 2-1 提供了本产品 Cortex®-M0+所支持的特性

表 2-1 CPS32K11x 的 CPU 所支持的特性

MPU	支持, 8 段保护区
单周期乘法	支持
除法	支持
中断数	32 个
调试接口	SWD-DP
大小端	小端
SysTick Timer	支持

2.2.2 存储器(Memory)

2.2.2.1 Flash 存储器

嵌入式闪存存储器,用于存放程序和数据。内建全集成 FLASH 控制器,无需外部高压输入,由全内置电路产生高压来编程,支持 ISP、IAP 功能。

- CPS32K112 系列最大支持 32KB 字节 flash, 支持 ECC 功能 (1bit 出错纠正, 2bit 出错检测)
- CPS32K114 系列最大支持 64KB 字节 flash, 支持 ECC 功能 (1bit 出错纠正, 2bit 出错检测)
- CPS32K116 系列最大支持 128KB 字节 flash, 支持 ECC 功能 (1bit 出错纠正, 2bit 出错检测)

2.2.2.2 SRAM 存储器

内置低功耗 SRAM,用于存放程序和数据。在不同的低功耗模式下,SRAM 数据会被全部保留。该 SRAM 支持 ECC 校验算法 (1bit 出错纠正, 2bit 出错检测)。

- CPS32K112 系列最大支持 12KB 字节 SRAM, 支持 ECC 功能 (1bit 出错纠正, 2bit 出错检测)
- CPS32K114 系列最大支持 16KB 字节 SRAM, 支持 ECC 功能 (1bit 出错纠正, 2bit 出错检测)
- CPS32K116 系列最大支持 20KB 字节 SRAM, 支持 ECC 功能 (1bit 出错纠正, 2bit 出错检测)

2.2.3 工作模式

该产品支持 3 种工作模式：

1. 运行模式 **Active**：CPU 运行，周边功能模块运行。
2. 休眠模式 **Sleep**：CPU 停止运行，周边功能模块运行。
3. 深度休眠模式 **Deep Sleep**：CPU 停止运行，高速时钟停止运行，低速时钟运行，仅需要低速时钟或者无需时钟就可以运行的模块可以继续运行。

2.2.4 时钟系统

- 1 个频率为 8MHz 的高精度内部时钟 **HIRC**，全电压全温度范围内的频率偏差 $\leq \pm 2\%$ ，无需外接昂贵的高速晶体。
- 1 个锁相环 **PLL**，支持 2/3/4/5/6/7/8 等不同系数倍频，参考时钟源可选择 **HIRC** 或者 **HXT**。
- 1 个频率为 8~32MHz 的高速外部振荡器 **HXT**。该频率一旦降低到 200KHz 以下时，会产生一个中断信号，同时将系统 **clock** 切换为 **HIRC**。
- 1 个频率为 32.768KHz 的低速外部振荡器 **LXT**。
- 1 个频率为 38.4/32.768KHz 的低速内部时钟 **LIRC**。
- 1 个时钟校准与监测模块，可以用来校准内部 **HIRC/LIRC** 时钟，或者监测外部振荡器时钟是否正常。

2.2.5 复位控制器

该产品具有 9 个复位信号来源，每个复位信号可以让 CPU 重新运行，绝大多数寄存器会被重新复位，程序计数器 **PC** 会被复位指向复位地址。

表 2-2 中断源

编号	中断源
1	上电复位(POR)
2	外部 RSTN 端子复位
3	IWDG 复位
4	WWDG 复位
5	ARM 系统软件复位
6	低电压(LVD)复位
7	LOCKUP 复位
8	寄存器 CPURST 复位
9	寄存器 MCURST 复位

2.2.6 通用 IO 端口

最多可提供 71 个 **GPIO** 端口(80Pin 封装)，其中部分 **GPIO** 与模拟端口复用。每个端口由独立的控制寄存器位来控制。支持边沿触发中断和电平触发中断，可从各种功耗模式下把 MCU 唤醒到工作模式。支持 **Push-Pull CMOS** 推挽输出、**Open-Drain** 开漏输出。内置上

拉电阻、下拉电阻，带有施密特触发器输入滤波功能。输出驱动能力可配置，最大支持 20mA 的电流驱动能力。

支持从 NMI 端子输入，产生 NMI 异常。

2.2.7 定时器和看门狗

该产品包含 2 个高级控制定时器(TIM1/2)，1 个可编程计数器器阵列(PCA)，2 个基础定时器(TIM10/11)，1 个低功耗基本定时器(LPTIM)，1 个系统窗口看门狗定时器(WWDG)，1 个独立看门狗定时器(IWDG)，1 个 RTC 定时器，1 个自动唤醒定时器(AWK)。

2.2.8 通信接口

该产品包含一个 CAN 通信模块，支持 CAN FD 和 CAN 2.0B 协议，2 个 LIN 通信模块，2 个 UART 通信模块，1 个 LPUART 通信模块，2 个 SPI 通信模块，2 个 I2C 通信模块，1 个 1-Wire 通信模块。

2.2.9 蜂鸣器

该产品包含 1 个蜂鸣器模块。可以直接分频 LIRC/HXT/PCLK 时钟，来产生各种频率的输出至端口。

2.2.10 模拟功能

- 一个高速 12bit SAR-ADC，转换速率可以达到 1MSPS。
支持至多 18 路的外部通道输入+4 路内部电压监测。
- 1 个低电压检测器(LVD)
- 1 个温度传感器(TSN)
- 1 个电压比较器(VC)
- 1 个可编程运算放大器(PGA)

2.2.11 系统功能

该产品支持，128-bit 的唯一 ID 号(UID)，一个硬件 16bit CRC 演算电路，一个 MATH 协处理器。

3 引脚分配

3.1 信号多路复用和引脚分配

下表显示的是各引脚上的信号以及这些引脚在本文档支持的器件上的位置。

表 3-1 信号多路复用和引脚分配表

32pin	48pin	64pin	80pin	Pin Name	DEFAULT(ALT15)	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	ALT8
	1	1	1	PD1	DISABLED	PD1	TIM1_CH1	SPI1_MOSI	LPUART_TX	TIM10_EXT	LPTIM_TOG	TIM2_CH2N	PCA_ECI	LIN0_RX
	2	2	2	PD0	DISABLED	PD0	TIM1_CH1N	SPI1_SCK	LPUART_RX	TIM10_TOG		TIM2_CH2	PCA_CH0	LIN0_TX
		3	3	PB11	DISABLED	PB11	TIM2_CH3	I2C1_SCL	LPTIM_EXT	TIM10_GATE		LPTIM_TOG	PCA_CH1	
		4	4	PB10	DISABLED	PB10	TIM2_CH2	I2C1_SDA	SPI1_SSN	TIM10_TOGN	CLK_MCO	LPTIM_TOGN	PCA_CH2	
			5	PD9	DISABLED	PD9	TIM1_CH1		CAN0_RX			LPTIM_TOG	PCA_CH3	LIN0_RX
1	3	5	6	PB8	DISABLED	PB8	TIM1_CH2	SPI1_SCK	CAN0_TX	TIM10_GATE	LPTIM_GATE		1-wire	LIN0_TX
	4	6	7	PB9	DISABLED	PB9	TIM1_CH2N	SPI1_MISO	CAN0_RX	TIM10_TOGN				LIN0_RX
2	5			VCAP	VCAP									
3	6	7	8	VDD	VDD									
3 注3	6 注3	8	9	AVDD	AVDD									
		9	10	VCAP	VCAP									
4 注3	7 注3	10 注3	11	AVSS	AVSS									
4	7	10	12	VSS	VSS									
5	8	11	13	PB7	OSC_IN/ OSC32K_IN	PB7		I2C0_SCL						
6	9	12	14	PB6	OSC_OUT/ OSC32K_OUT	PB6		I2C0_SDA						
		13	15	PD8	DISABLED	PD8	TIM1_CH4	TIM1_BKIN	UART1_RX			TIM2_BKIN	VC_OUT	
			16	PD10	DISABLED	PD10	TIM1_CH1	I2C0_SDA	UART1_TX	LPTIM_TOG				LIN1_TX
			17	PD11	DISABLED	PD11	TIM1_CH2	I2C0_SCL	UART1_RX	LPTIM_TOGN				LIN1_RX
7	10	14	18	PA14	DISABLED	PA14	TIM1_CH3N	SPI0_MOSI			HIRC_OUT	TIM2_CH1	PCA_CH4	LIN1_TX
8	11	15	19	PA15	DISABLED	PA15	TIM1_CH3	SPI0_SCK		TIM10_GATE	LVD_OUT	TIM2_CH2	LPTIM_TOG	LIN1_RX
	12	16	20	PB14	DISABLED	PB14	TIM2_CH4	I2C0_SDA		TIM10_GATE		TIM2_CH3	LPTIM_TOGN	
9	13	17	21	PA8	AIN1/VC_IN3	PA8	TIM1_CH1	I2C0_SCL	CAN0_STDBY	TIM10_EXT	LIRC_OUT	TIM2_CH1N	PCA_CH0	
10	14	18	22	PB5	VREFEXT	PB5	TIM1_CH1N	SPI0_SSN		TIM10_TOGN	CLK_MCO	TIM2_CH2N	VC_OUT	1-wire
11	15	19	23	PB4	VC_IN4/ PGA_INP	PB4	TIM1_CH2	SPI0_MISO		TIM10_TOG	LPUART_RX	TIM2_CH3N	PCA_CH1	LIN0_RX
12	16	20	24	PC3	AIN2/VC_IN5	PC3	TIM1_CH2N	UART0_TX	CAN0_TX		LPUART_TX	TIM2_CH4		LIN0_TX
13	17	21	25	PC2	AIN3/VC_IN6	PC2	TIM1_CH4	UART0_RX	CAN0_RX		LPUART_RX			LIN0_RX
		22	26	PD7	VC_IN7	PD7	TIM1_CH3N	UART1_TX	CAN0_STDBY	TIM10_GATE		TIM2_CH1		LIN1_TX
		23	27	PD6	VC_IN8	PD6	TIM1_CH3	UART1_RX		TIM10_EXT		TIM2_CH2		LIN1_RX
14	18	24	28	PD5	DISABLED	PD5	TIM1_CH3N	I2C0_SDA	TIM1_BKIN	TIM10_TOGN	VC_OUT	LPTIM_EXT	PCA_CH2	
			29	PD12	DISABLED	PD12	TIM1_CH4					TIM2_CH2		
			30	PD13	DISABLED	PD13	TIM1_CH2					TIM2_CH4		

32pin	48pin	64pin	80pin	Pin Name	DEFAULT(ALT15)	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	ALT8
	19	25	31	PC1	AIN4	PC1	TIM1_CH3	SPI0_MOSI	I2C0_SCL	TIM11_GATE	LPTIM_GATE	TIM2_CH1	TIM2_CH4	
		26	32	PC0	AIN5	PC0	TIM1_CH1	SPI1_SCK	I2C1_SDA	TIM11_EXT	TIM2_CH3N	TIM2_CH3	PCA_CH3	
			33	PD14	DISABLED	PD14			I2C1_SCL				LPTIM_TOG	
			34	PD15	DISABLED	PD15			I2C1_SDA				LPTIM_TOGN	
		27	35	PB15	AIN6/VC_IN9	PB15	TIM1_CH1N			TIM11_TOG	TIM2_BKIN	TIM2_CH4		
	20	28	36	PA9	AIN7/VC_IN10	PA9	TIM2_CH3	SPI0_SCK	TIM1_BKIN	TIM11_EXT			PCA_ECI	
	21	29	37	PC15	AIN8	PC15	TIM2_CH2	SPI0_SSN	I2C1_SDA	TIM11_TOG				
	22	30	38	PC14	AIN9	PC14	TIM2_CH1	SPI0_MISO	I2C1_SCL	TIM11_TOGN				
15	23	31	39	PB3	AIN10/VC_IN11	PB3	TIM1_CH3	SPI0_MOSI		TIM10_EXT	LPTIM_TOG	TIM2_CH1N	PCA_CH1	LIN1_TX
16	24	32	40	PB2	AIN11/VC_IN12	PB2	TIM1_CH3N	SPI0_SCK		TIM10_GATE	LPTIM_TOGN	TIM2_CH2N	PCA_CH2	LIN1_RX
17	25	33	41	PB1	AIN12	PB1	TIM1_CH1	SPI0_MISO	CAN0_TX	UART0_TX	LPUART_TX		PCA_CH3	LIN0_TX
18	26	34	42	PB0	AIN13	PB0	TIM1_CH1N	SPI0_SSN	CAN0_RX	UART0_RX	LPUART_RX	LPTIM_EXT	1-wire	LIN0_RX
	27	35	43	PC9	DISABLED	PC9	TIM1_CH2	UART1_TX	LPUART_TX	TIM10_EXT	RTC_CLKOUT	TIM2_CH1	LPTIM_GATE	LIN1_TX
	28	36	44	PC8	DISABLED	PC8	TIM1_CH2N	UART1_RX		TIM10_TOGN	LPUART_RX	TIM2_CH2		LIN1_RX
19	29	37	45	PA7	AIN14/VC_IN13	PA7	TIM1_CH4	I2C0_SCL	TIM1_BKIN	TIM10_TOG	RTC_CLKIN		SPI0_MOSI	
		38	46	PA6	AIN15/VC_IN14	PA6	TIM1_CH1	UART0_TX	SPI0_SCK	TIM10_EXT	SPI1_SSN	TIM2_BKIN	LPTIM_TOG	
		39	47	PC10	DISABLED	PC10	TIM1_CH1N	UART0_RX		TIM10_GATE			LPTIM_TOGN	
20	30	40	48	VSS	VSS									
21	31	41	49	VDD	VDD									
			50	PE0	DISABLED	PE0					SPI1_SSN		PCA_CH4	
			51	PE1	DISABLED	PE1	TIM2_CH1				SPI1_MISO		PCA_CH4	
			52	PE2	DISABLED	PE2	TIM2_CH2		CAN0_RX		SPI1_MOSI			
			53	PE3	DISABLED	PE3	TIM2_CH3		CAN0_TX		SPI1_SCK		PCA_ECI	
	32	42	54	PB13	DISABLED	PB13	TIM1_CH3N	I2C0_SDA	CAN0_TX	TIM11_EXT		TIM2_CH3	PCA_CH1	
		43	55	PB12	DISABLED	PB12	TIM1_CH2N	I2C1_SCL	CAN0_RX	TIM11_GATE			PCA_CH2	
		44	56	PD4	DISABLED	PD4	TIM1_CH1N	I2C1_SDA		TIM11_TOGN		TIM1_BKIN	PCA_CH3	
22	33	45	57	PD3	DISABLED	PD3	TIM1_CH3	SPI1_SSN	LPUART_TX	TIM11_TOG	NMI	I2C1_SCL	PCA_CH4	
	34	46	58	PD2	DISABLED	PD2	TIM1_CH2	SPI1_MISO	CAN0_STDBY	TIM11_GATE	LPUART_RX	I2C1_SDA		
23	35	47	59	PA3	DISABLED	PA3	TIM1_CH1	I2C1_SCL	CAN0_TX	TIM11_EXT	UART0_TX	BEEP	PCA_CH3	LIN0_TX
24	36	48	60	PA2	DISABLED	PA2	TIM2_CH2	I2C1_SDA	CAN0_RX	TIM11_GATE	UART0_RX	LPTIM_GATE	1-wire	LIN0_RX
25	37	49	61	PA1	AIN16/VC_IN1	PA1	TIM2_CH1	I2C1_SDA	UART1_TX	TIM11_TOGN	SPI1_MOSI	TIM1_CH1	1-wire	
26	38	50	62	PA0	AIN17/VC_IN0	PA0	TIM2_CH4	I2C1_SCL	UART1_RX	TIM11_TOG	SPI1_SCK	TIM1_CH1N		
	39	51	63	PC7	DISABLED	PC7	TIM2_CH2	SPI1_MISO	CAN0_TX	UART1_TX		TIM1_CH2	PCA_ECI	LIN1_TX
	40	52	64	PC6	DISABLED	PC6	TIM2_CH3	SPI1_SSN	CAN0_RX	UART1_RX		TIM1_CH2N	PCA_CH1	LIN1_RX
			65	PE4	DISABLED	PE4							PCA_CH2	
			66	PE5	DISABLED	PE5			CAN0_RX					

32pin	48pin	64pin	80pin	Pin Name	DEFAULT(ALT15)	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	ALT8
		53	67	PC11	DISABLED	PC11	TIM1_CH4	SPI1_SSN	CAN0_TX				LPTIM_TOG	LIN1_TX
		54	68	PC12	DISABLED	PC12		SPI1_MISO	CAN0_RX			LPTIM_EXT	LPTIM_TOGN	LIN1_RX
			69	VSS	VSS									
			70	VDD	VDD									
	41	55	71	PA13	DISABLED	PA13	TIM1_CH3N	SPI1_MOSI	CAN0_TX	TIM11_TOGN	LPTIM_GATE	TIM1_CH3		
	42	56	72	PA12	DISABLED	PA12	TIM1_CH2N	SPI1_SCK	CAN0_RX	TIM11_TOG	I2C0_SDA	TIM1_CH3N	TIM2_CH1	
27	43	57	73	PA11	DISABLED	PA11	TIM1_CH1N	UART1_TX	SPI1_SSN	TIM11_EXT	I2C0_SCL	TIM1_CH2	TIM2_CH2	LIN1_TX
28	44	58	74	PA10	DISABLED	PA10	TIM1_CH3	UART1_RX	SPI1_MISO	TIM11_GATE	I2C0_SDA	TIM1_CH2N	TIM2_CH3	LIN1_RX
		59	75	PC13	DISABLED	PC13	TIM1_CH2	SPI1_MOSI	I2C1_SCL	TIM11_TOG	SPI0_SSN		TIM2_CH1N	
		60	76	PA5	DISABLED	PA5	TIM1_CH1	SPI1_SCK	I2C1_SDA	TIM11_EXT	SPI0_MISO	BEEP	TIM2_CH2N	LIN1_TX
29	45	61	77	PC5	DISABLED	PC5	TIM1_BKIN	SPI1_SSN	TIM1_CH3	TIM11_TOGN	RTC_CLKOUT	BEEP	TIM2_CH3N	LIN1_RX
30	46	62	78	PC4	SWDCLK ^{注4} (AIN0/VC_IN2)	PC4	TIM2_CH4	UART1_TX	TIM1_CH3N	TIM10_GATE	RTC_CLKOUT		TIM2_BKIN	LIN0_TX
31	47	63	79	PE6	NRST ^{注2}	PE6								
32	48	64	80	PA4	SWDIO ^{注4}	PA4	TIM2_CH1	SPI1_MISO	UART1_RX	TIM10_TOGN	VC_OUT			LIN0_RX

注释：

- 除了一些专用引脚外，所有引脚在第一次上电时默认为 ALT15 对应的功能(大部分是模拟功能)。
- 该端子 NRST(外部复位)功能依据用户 Option Byte 的设定来决定。
- 在 32pin，48pin 封装下，AVDD 和 VDD 共用一个引脚；在 32pin，48pin，64pin 封装下，AVSS 和 VSS 共用一个引脚。
- PA4/PC4 端口默认为 SWD 调试端口，要关闭 SWD 功能，需配置 RCC_SWDIOCR 寄存器。

3.2 器件引脚分配

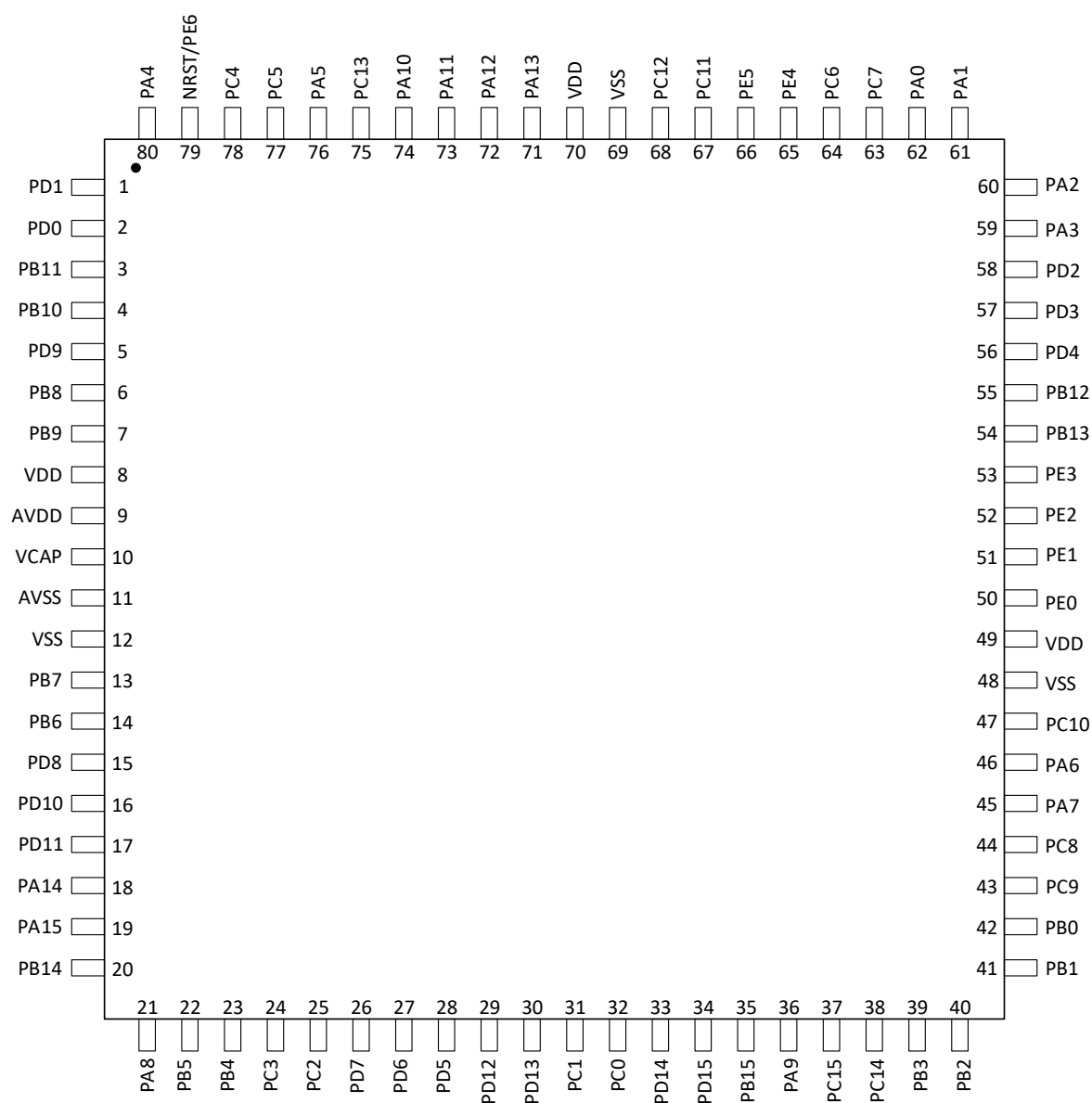


图 3-1 80 引脚 LQFP 封装

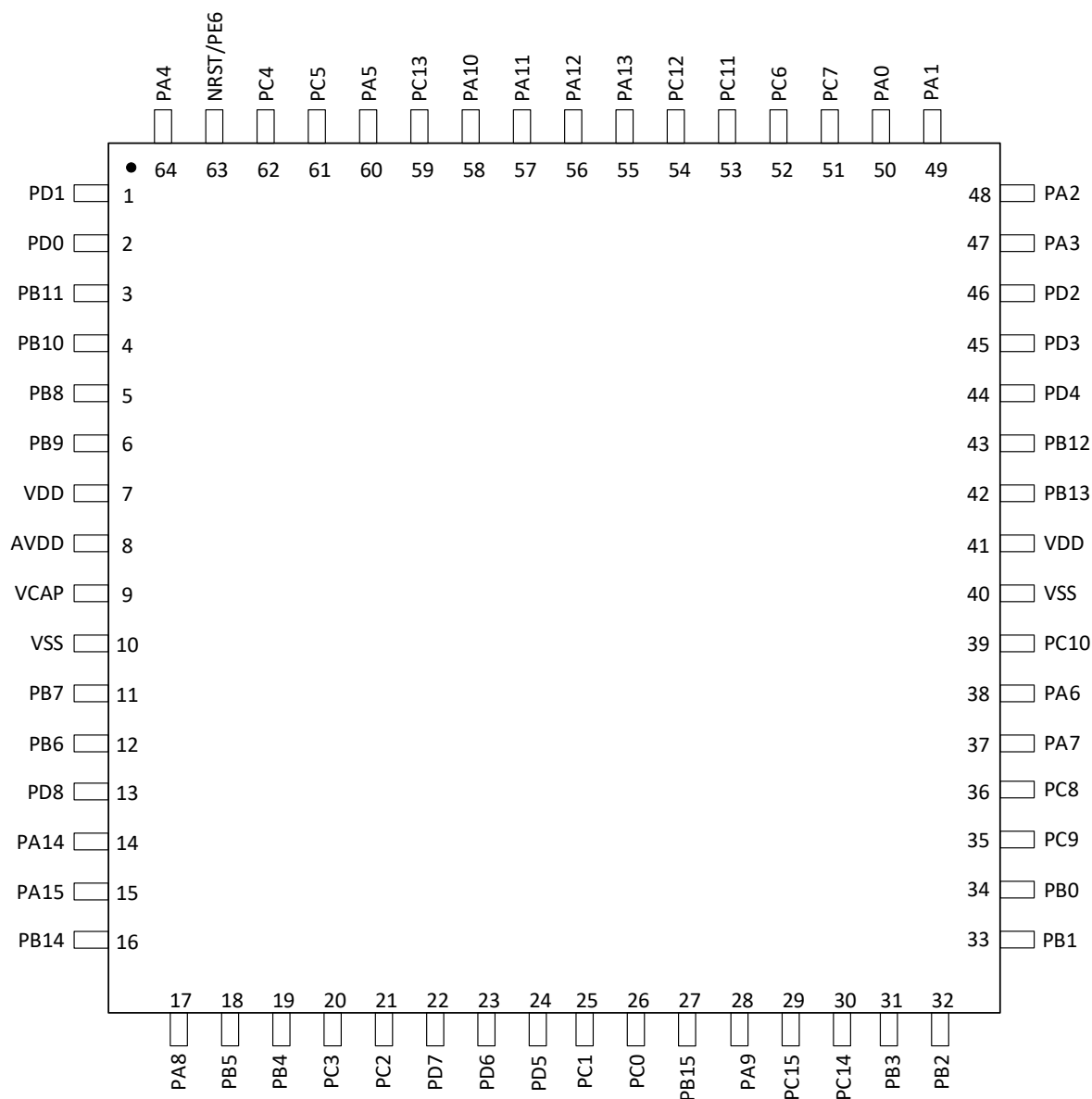


图 3-2 64 引脚 LQFP 封装

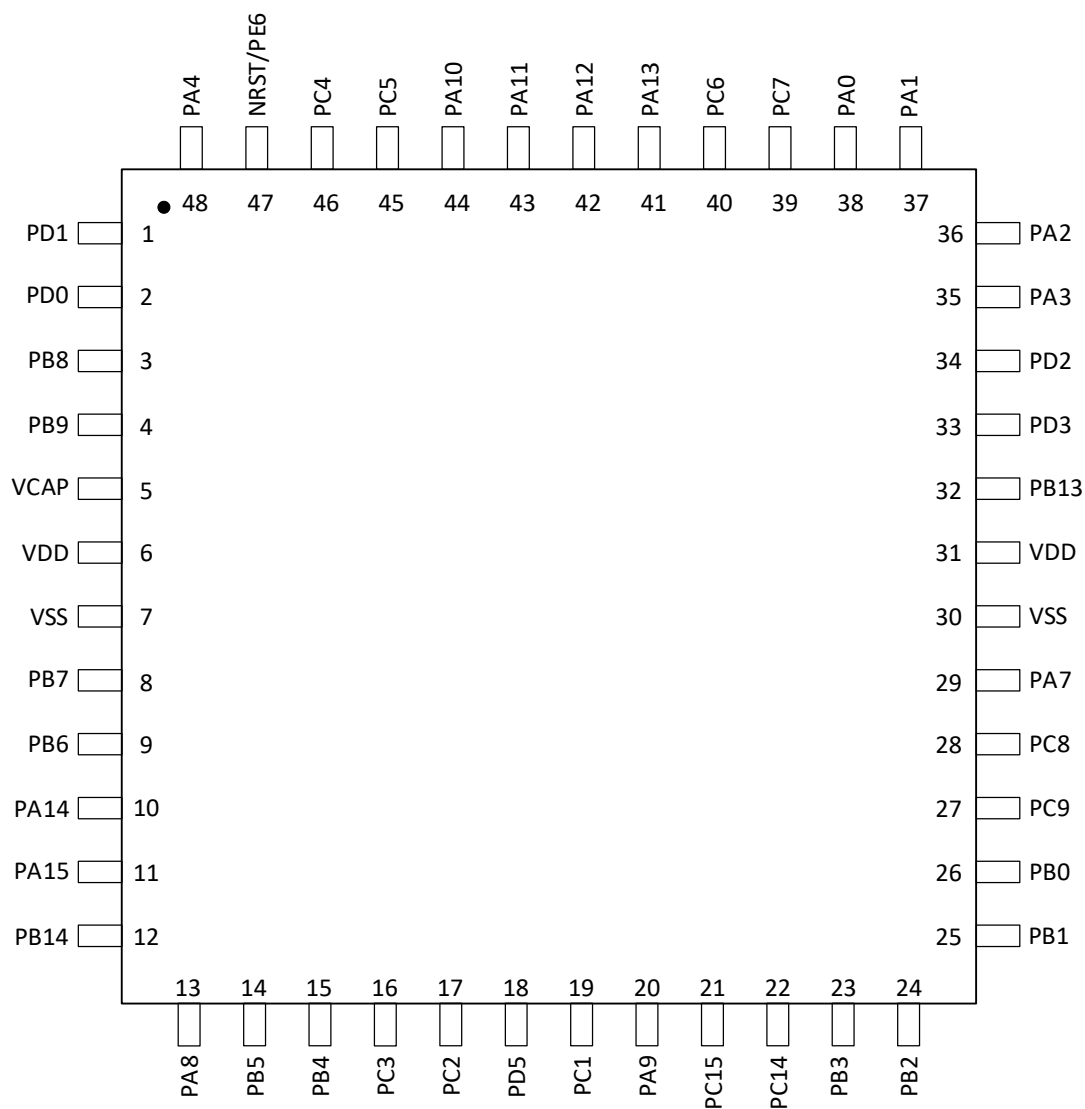


图 3-3 48 引脚 LQFP 封装

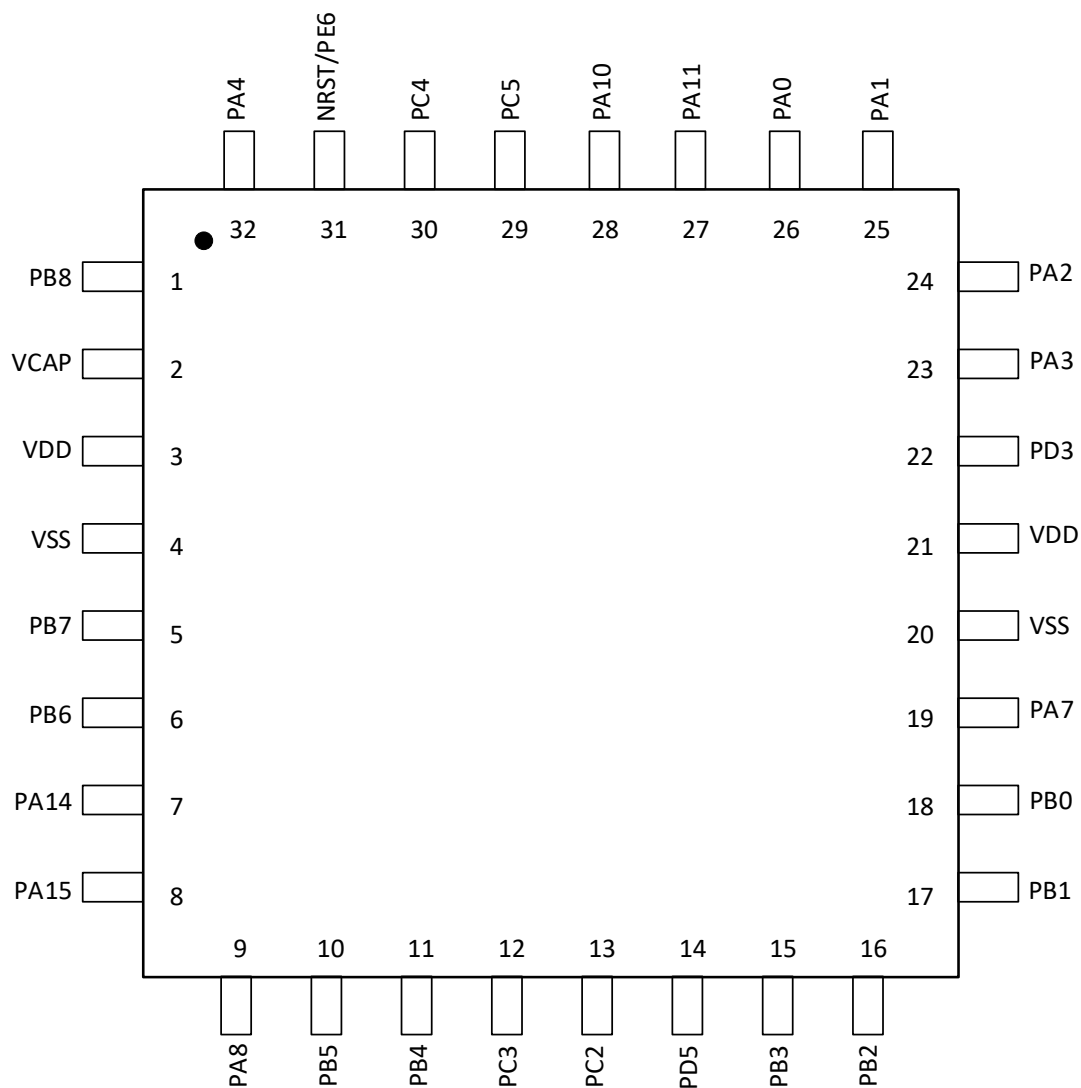


图 3-4 32 引脚 LQFP 封装

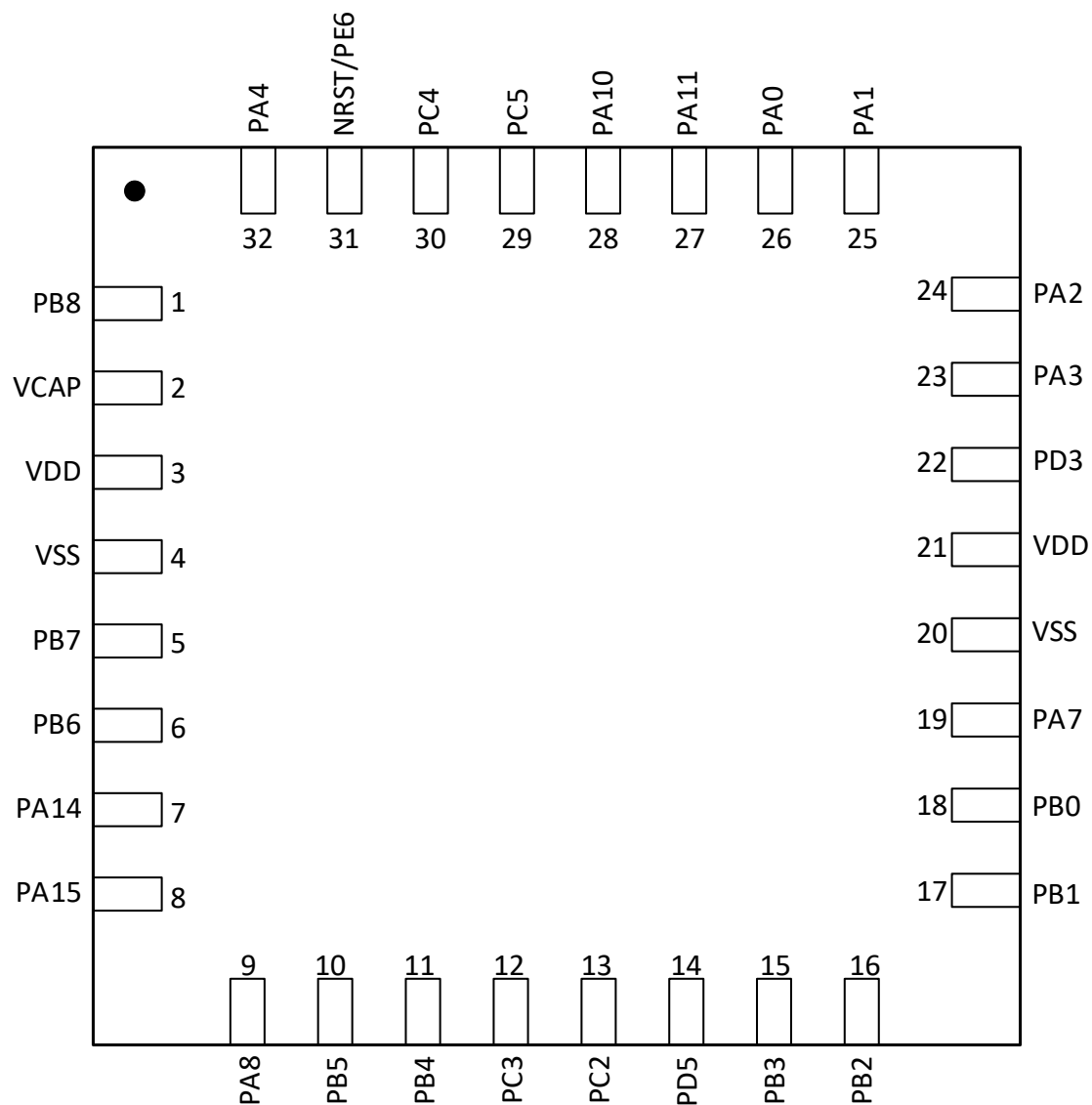


图 3-5 32 引脚 QFN 封装

4 器件标识

4.1 说明

芯片器件型号包含可识别具体器件的字段。您可以使用这些字段的值来区分收到的具体器件。

4.2 格式

器件编号示例为：CPS32K116LSFCMT

格式说明如表 4-1 所示

4.3 字段

下表列出器件编号中每个字段的可能值（并非所有组合都有效）。

表 4-1 器件编号字段说明

字段	说明	值
CPS32	ChipSine-Semiconductor	公司名，芯弦半导体，32bit MCU
K	类型	K 车规级 M 工业级 C 消费级
1	Series/Family	1 = 1st product series 2 = 2nd product series
1	内核/特性	1 = Arm Cortex M0+ 4 = Arm Cortex M4 7 = Arm Cortex M7 other=Analog
6	ROM扩展分类	1=16KB 2=32KB 4=64KB 6=128KB 8=256KB
L	Ordering option	L=48MHz without DMA
S	追加特点	F=CANFD S=CAN2.0
FC	封装类型	QC = 24pin-QFN QD = 32pin-QFN LD = 32pin-LQFP LF = 48pin-LQFP LH = 64pin-LQFP LK = 80pin-LQFP LL = 100pin-LQFP TS = TSSOP20
M	温度范围(°C)	M = AEC-Q100 Grade 1(-40~125°C) V = -40~105°C W= -40~150°C
T	包装	T:托盘 R:卷带 P:塑料管

5 额定值

5.1 热学操作额定值

表 5-1 热学操作额定值

符号	说明	最小值	最大值	单位	附注
TSTG	存储温度	-55	150	°C	1
TSDR	焊接温度, 无铅	—	260	°C	2

1. 根据 JEDEC JESD22-A103 标准中“高温存储寿命”来确定;
2. 根据 IPC/JEDEC J-STD-020 标准中“非密封固态表面贴装设备湿度/再流焊灵敏度分类”确定。

5.2 湿度操作额定值

表 5-2 湿度操作额定值

符号	说明	值	单位	附注
MSL	湿度灵敏度级别	1	—	1

1. 根据 IPC/JEDEC J-STD-020 标准中“非密封固态表面贴装设备湿度/再流焊灵敏度分类”确定。

5.3 ESD 操作额定值

表 5-3 ESD 操作额定值

符号	说明	最小值	最大值	单位	附注
V _{HBM}	静电放电电压, 人体放电模式	-8000	8000	V	1
V _{CDM}	静电放电电压, 设备充电模式	-2000	2000	V	2
I _{LAT}	125°C 温度环境下的闩锁电流	-400	400	mA	3

1. 根据 AEC-Q100-002-D, HUMAN BODY MODEL ELECTROSTATIC DISCHARGE TEST 来确定。
2. 根据 AEC-Q100-011-C1, CHARGED DEVICE MODEL (CDM) ELECTROSTATIC DISCHARGE TEST 确定。
3. 根据 AEC-Q100-004-D, IC LATCH-UP TEST 确定。
 - 在 125°C 环境温度下进行测试 (II 类);
 - 电源组 1.5 V_{ccmax}

5.4 电压和电流操作额定值

绝对最大额定值仅为应力额定值, 并不保证最大值时的功能操作。超过下表中指定的应力可能影响器件的可靠性或对器件造成永久性损坏。有关功能操作条件的更多信息, 请参考此文档中的其他表格。

该器件包含防止高静态电压或电场造成损坏的电路, 但建议采取预防措施, 以避免实际应用中高于额定电压的输入造成这部分电路的损坏。未用输入引脚连接到适当的逻辑电压电平 (例如, VSS 或 VDD) 或使能相关引脚的内部上拉电阻, 可增强操作的可靠性。

表 5-4 电压和电流操作额定值

符号	说明	最小值	最大值	单位
VDD	数字电源电压	-0.3	6.0	V
I _{DD}	流入V _{DD} 的最大电流	—	60	mA
V _{IN}	除开漏引脚之外的输入电压	-0.3	VDD + 0.3 ¹	V
	开漏引脚的输入电压	-0.3	VDD + 0.3 ¹	V
I _D	单引脚瞬态最大电流限值(适用于所有端口引脚)	-40	40	mA
AVDD	模拟电源电压	VDD - 0.3	VDD + 0.3	V

1. 最大额定 VDD 也适用于 V_{IN}。

6 通用

6.1 参数分类

下表中显示的电气参数通过不同的方法来保证达到要求。为了便于客户更好地理解，将使用如下的分类，并在表中适当的位置相应标记参数。

表 6-1 参数分类

P	在对每个设备进行生产测试时确保达到这些参数要求。
C	通过不同制程的、具有统计意义的相关样本数量的测量结果来保证这些参数要求
T	除非另有说明，否则通过统计典型条件下典型器件的小规模样本测量值来保证这些参数要求。此类别包含典型列中所示的所有值。
D	这些参数主要来自于仿真。

6.2 静态电气规格

6.2.1 电源和地引脚

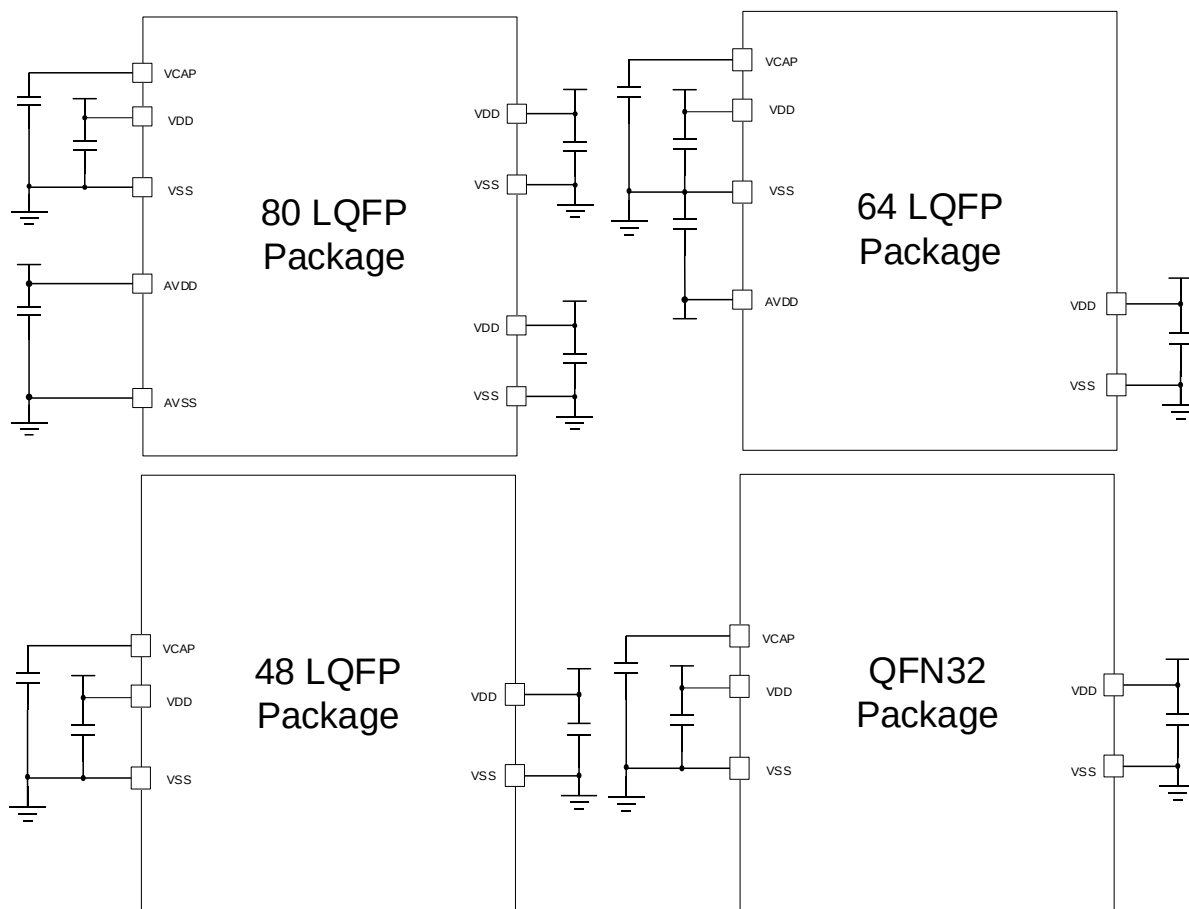


图 6-1 电压引脚去耦

1. VDD 和 AVDD 在板上需连接到同一个供电电源。
2. 为了使电源引脚有更好的性能，建议使用 10uF、0.1uF 和 1nF 电容并联形成退耦网络。
3. 所有的退耦电容都必须尽可能地靠近相应的电源和地引脚放置。
4. VCAP 端子接入的电容值必须是 2.2uF~4.7uF(考虑到电容精度，推荐 4.7uF)。

6.2.2 上电斜率

符号	C	说明	Min	Typ	Max	单位
V _{slope}	P	VDD/AVDD 上电电压斜率	5V/Sec	—	1V/μSec	

6.2.3 DC 特性

本节包括有关电源要求和 I/O 引脚特性的信息。

表 6-2 DC 特性

符号	C	说明			Min	Typ	Max	单位
V _{OH}	P	输出高电压 VDD=2.7V~4.5V	Iload = -8.0mA(高驱动)		VDD-0.8	—	—	V
			Iload = -4.0mA(低驱动)					
	P	输出高电压 VDD=4.5V~5.5V	Iload = -16.0mA(高驱动)		VDD-0.8	—	—	V
			Iload = -8.0mA(低驱动)					
V _{OL}	P	输出低电压 VDD=2.7V~4.5V	Iload = 8.0mA(高驱动)		—	—	0.4	V
			Iload = 4.0mA(低驱动)					
	P	输出低电压 VDD=4.5V~5.5V	Iload = 16.0mA(高驱动)		—	—	0.5	V
			Iload = 8.0mA(低驱动)					
ΣI _{OH}	D	所有端口的最大总 输出,高电流 IOH	VDD=2.7V~4.0V		—	—	-20	mA
			VDD=4.0V~5.5V		—	—	-30	
ΣI _{OL}	D	所有端口的最大总 输出,低电流 IOL	VDD=2.7V~4.0V		—	—	20	mA
			VDD=4.0V~5.5V		—	—	30	
V _{IH}	P	输入高电压	VDD=2.7V~5.5V		0.8×VDD	—	VDD	
V _{IL}	P	输入低电压	VDD=2.7V~5.5V		0	—	0.2×VDD	
I _{in}	P	输入漏电流	每个引脚 (高 阻抗输入模 式下的引脚)	VIN = VDD 或 VSS	-1	—	1	μA
I _{INTOT}	C	所有端口引脚的总 漏电流	高阻抗输入 模式下的引 脚	VIN = VDD 或 VSS	0	—	2	μA
R _{PU}	P	上拉电阻	所有数字输 入并使能内 部上拉	—	20	—	100	kΩ
C _{In}	C	输入电容, 所有引 脚	—	—	—	—	10	pF
V _{RAM}	C	RAM 保留电压	—	—	2	—	—	V

表 6-3 LVD/POR 电压规格

符号	C	说明	最小值	典型值	最大值	单位
V _{POR}	P	POR重置电压1		1.35		V
V _{LVD_1}	P	下降沿低压检测阈值—level1		2.70		V
V _{LVD_2}	P	下降沿低压检测阈值—level2		2.90		V
V _{LVD_3}	P	下降沿低压检测阈值—level3		3.10		V
V _{LVD_4}	P	下降沿低压检测阈值—level4		3.30		V
V _{LVD_5}	P	下降沿低压检测阈值—level5		3.50		V
V _{LVD_6}	P	下降沿低压检测阈值—level6		3.70		V
V _{LVD_7}	P	下降沿低压检测阈值—level7		3.90		V
V _{LVD_8}	P	下降沿低压检测阈值—level8		4.10		V
V _{LVD_9}	P	下降沿低压检测阈值—level9		4.30		V
V _{LVD_10}	P	下降沿低压检测阈值—level10		4.50		V
V _{LVD_11}	P	下降沿低压检测阈值—level11		4.70		V
V _{HYSLVD}	C	低压检测迟滞	—	100	—	mV

1. 上升沿阈值=下降沿阈值+迟滞电压；
2. 电压已在 VDD = 5.0 V, Temp = 25 °C 下进行出厂调整。

6.2.4 电源电流特性

表 6-4 供电电流特性

符号	C	说明	内核频率	VDD (V)	-40℃	25℃ ¹	85℃	125℃ ²	单位
RI _{DD}	C	工作电流 使能所有周边模块时钟, PLL 的参考时钟是 HIRC CPU 执行 coremark, 不停循环	48 MHz	3.3	8.06	8.19	8.26	8.29	mA
	P		24 MHz		4.35	4.43	4.54	4.58	
	D		12 MHz		2.63	2.70	2.79	2.84	
	D		8 MHz		1.71	1.79	1.86	1.93	
RI _{DD}	C	工作电流 禁止所有周边模块时钟, PLL 的参考时钟是 HIRC CPU 执行 while(1)	48 MHz	3.3	6.27	6.35	6.39	6.43	mA
	P		24 MHz		3.45	3.51	3.57	3.62	
	D		12 MHz		2.18	2.24	2.29	2.37	
	D		8 MHz		1.49	1.55	1.60	1.84	
RI _{DD}	C	工作电流 使能所有周边模块时钟, PLL 的参考时钟是 XTAL24MHz 24MHz 以下用原发且分频 CPU 执行 coremark,不停循环	48 MHz	3.3	17.38	17.41	17.52	17.67	mA
	P		24 MHz		9.34	9.46	9.62	9.80	
	D		12 MHz		5.30	5.44	5.60	5.79	
	D		8 MHz		3.29	3.42	3.64	3.80	
RI _{DD}	C	工作电流 使能所有周边模块时钟, PLL 的参考时钟是 XTAL24MHz 24MHz 以下用原发且分频 CPU 执行 while(1)	48 MHz	3.3	16.23	16.28	16.39	16.54	mA
	P		24 MHz		8.78	8.89	9.06	9.22	
	D		12 MHz		5.01	5.13	5.33	5.50	
	D		8 MHz		3.14	3.28	3.47	3.65	
SI _{DD}	C	睡眠模式 HIRC+PLL, 使能所有模块时钟	48 MHz	5	12.66	13.835	14.2	14.45	mA
	P		24 MHz		6.65	7.01	7.4	7.55	
	D		12 MHz		3.44	3.8	3.92	4.03	
	D		8 MHz		2.43	2.67	2.81	2.91	
SI _{DD}	C	睡眠模式 XTAL(8M)+PLL, 关闭所有模块时钟	48 MHz	5	6.93	7.12	7.23	7.35	mA
	P		24 MHz		3.6	3.82	3.98	4.01	
	D		12 MHz		2.09	2.21	2.32	2.42	
	D		8 MHz		1.62	1.72	1.82	1.93	
SI _{DD}	C	HIRC 作为系统时钟, 使能所有模块时钟	8 MHz	5	2.14	2.38	2.5	2.6	mA
	P			3.3	2.0	2.2	2.32	2.43	
SI _{DD}	D	HIRC 作为系统时钟, 关闭所有模块时钟	8 MHz	5	1.1	1.21	1.3	1.38	mA
	D			3.3	0.92	1.05	1.12	1.2	
DSI _{DD}	C	深度睡眠模式(所有外设都关闭, 所有时钟都关闭)	—	5.5	1.0	1.1	10.4	68.9	μA
	P			3.3	0.6	1.0	9.8	66.5	
DSI _{DD}	D	ACMP 使能下的深度睡眠模式电流	—	5.5	27.32	35.78	52.15	100.5	
	C			3.3	26.43	34.81	50.61	95.03	
DSI _{DD}	D	LVD 使能下的深度睡眠模式电流	—	5.5	2.28	2.88	11.09	52.44	
	D			3.3	1.72	2.3	10.12	48.88	
DSI _{DD}	P	IWDG 使能下的深度睡眠模式电流	—	5.5	1.67	2.28	2.54	10.32	
	D			3.3	1.18	1.84	2.42	10.24	
DSI _{DD}	C	深度睡眠模式(RTC 打开, RTC/NMI 可以唤醒)的电流 3	—	5.5	1.26	1.62	6.95	40.8	
	P			3.3	1	1.3	4.87	35.64	

1. 典型列里的数据在 25℃ VDD=3.3/5.5V 条件下的统计值或是推荐值;
2. 在 125℃ VDD=3.3/5.5V 条件下的统计值或是推荐值;
3. 在典型情况下, RTC 会导致 IDD 增加不超过 1μA, RTC 时钟源为 32.768 KHz LXT 时钟。

6.3 动态规格

6.3.1 控制时序

表 6-5 控制时序

符号	C	额定值	最小值	典型值	最大值	单位
f _{Sys}	D	系统和内核时钟($t_{sys} = 1/f_{sys}$)	0.032	—	48	MHz
f _{Bus}	P	总线频率($t_{cyc} = 1/f_{Bus}$)	0.032	—	48	MHz
f _{LPO}	P	内部低功耗振荡器频率		38.4/ 32.768		KHz
t _{extrst}	D	外部复位脉冲宽度 2	10	—	—	us
t _{LIH} / t _{HIL}	D	IRQ 脉冲宽度	1000	—	—	ns
t _{LIH} / t _{HIL}	D	运行模式 ³	1000	—	—	ns
		停止模式 ³	1000	—	—	ns
t _{Rise}	C	端口上升和下降时间-标准驱动强度(负载 = 50 pF) ⁴	—	10.2	—	ns
t _{Fall}	C		—	9.5	—	ns
t _{Rise}	C	端口上升和下降时间-高驱动强度(负载 = 50 pF) ⁴	—	5.4	—	ns
t _{Fall}	C		—	4.6	—	ns

1. 除非另有说明，否则典型值是指 VDD=5.0 V、25 °C 时的特性数据；
2. 这里保证可识别为 NRST 引脚请求的最短脉冲；
3. 这里保证可通过引脚同步电路的最短脉冲宽度。低于该宽度的脉冲有可能不被识别；
4. 时序按 20%的 VDD 电平和 80%的 VDD 电平显示，温度范围-40 至 125 °C。

6.3.2 TIM1/TIM2 模块时序

同步电路决定可识别的最短输入脉冲。这些同步电路的工作时钟被称作 TIMx 时钟。

表 5-6 TIMx 输入时序

符号	C	功能	最小值	典型值	最大值	单位
f _{TIMx}		定时器时钟频率	-	-	48	MHz
t _{ICPW}		输入捕捉脉冲宽度	3	-	—	t _{TIMx} ¹

1. $t_{TIMx} = 1/f_{TIMx}$;

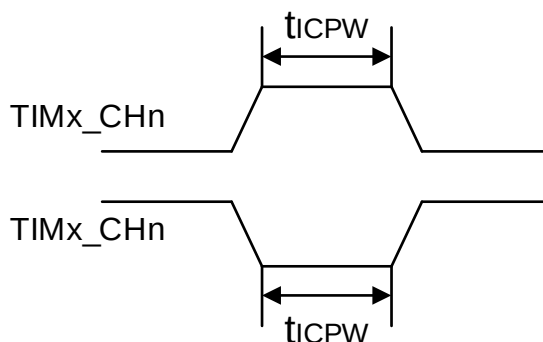


图 6-2 定时器输入捕捉脉冲

6.3.3 SPI 规格

串行外设接口(SPI)可为主从操作提供同步串行总线。用户可以自由配置多项传输参数。下面各表将介绍经典 SPI 时序模式的时序特性。有关修正传输格式的信息, 请参见本芯片“参考手册”中的 SPI 一章。这些格式主要用于和速度较慢的外围设备通信。如无特殊说明, 表中所有时序采用的电压阈值均为 20%的 VDD 和 80%的 VDD, 所有 SPI 引脚挂有 25 pF 的负载。所有时序均假定已针对所有 SPI 输出引脚禁用压摆率控制并启用高驱动强度。

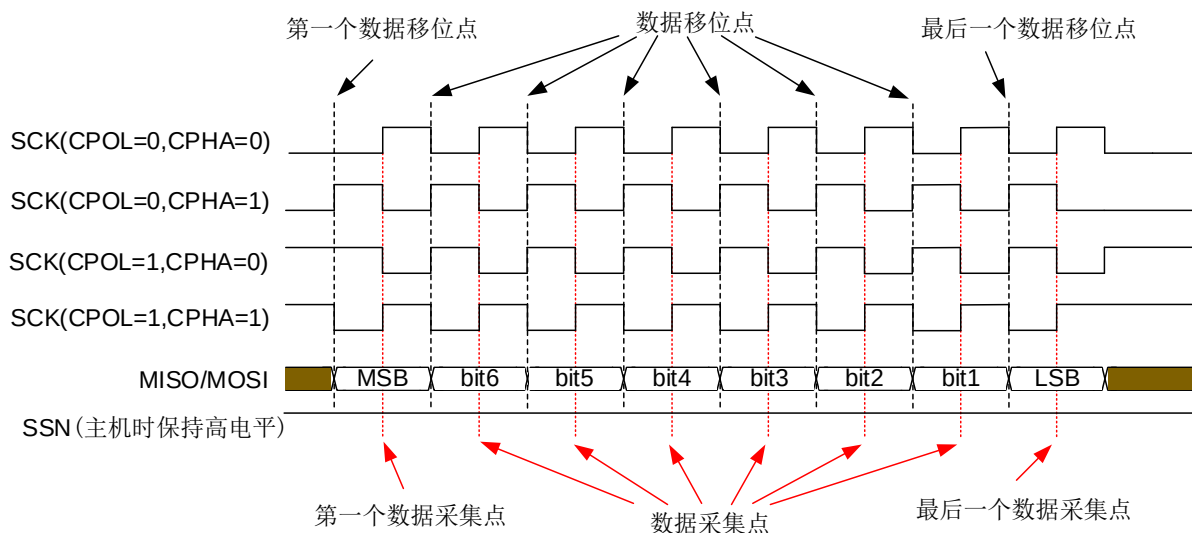


图 6-3 SPI 时序图——主机

表 6-7 SPI 特性——主机

符号	C	说明	最小值	最大值	单位	注解
f_{op}	T	操作频率	$f_{bus}/512$	$f_{bus}/2$	Hz	f_{bus} 是总线时钟
t_{sc}	T	CS 建立时间	$1 \times t_{bus}$	$256 \times t_{bus}$	ns	从 CS 下降沿到第一个 SCK 边沿的时间
t_{hc}	T	CS 保持时间	$1 \times t_{bus}$	$256 \times t_{bus}$	ns	从最后一个 SCK 边沿到 CS 上升沿的时间
t_{wsck}	T	时钟 (SCK) 高电平或低电平时间	$1 \times t_{bus}$	$256 \times t_{bus}$	ns	未考虑 t_{rsck} 和 t_{fsck}
t_{si}	T	数据输入建立时间	16	-	ns	
t_{hi}	T	数据输入保持时间	16	-	ns	
t_{vo}	T	数据输出有效时间	-	7	ns	
t_{ho}	T	数据输出保持时间	1		ns	
t_{rsck}	T	时钟输出上升时间	4.5	15.4	ns	
t_{fsck}	T	时钟输出下降时间	5.1	16.2	ns	

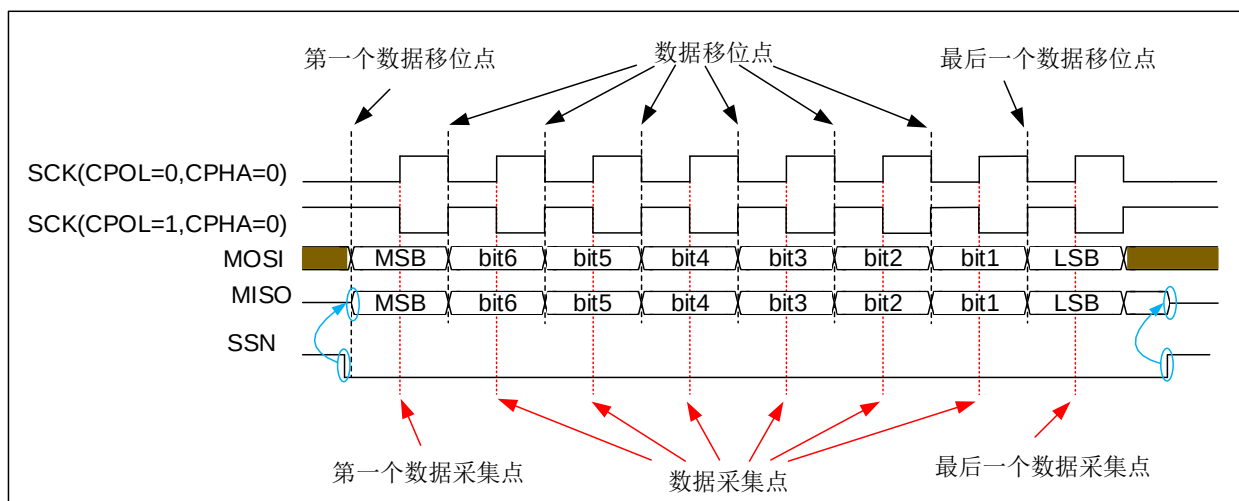


图 6-4 SPI 时序图——从机(cpha=0)

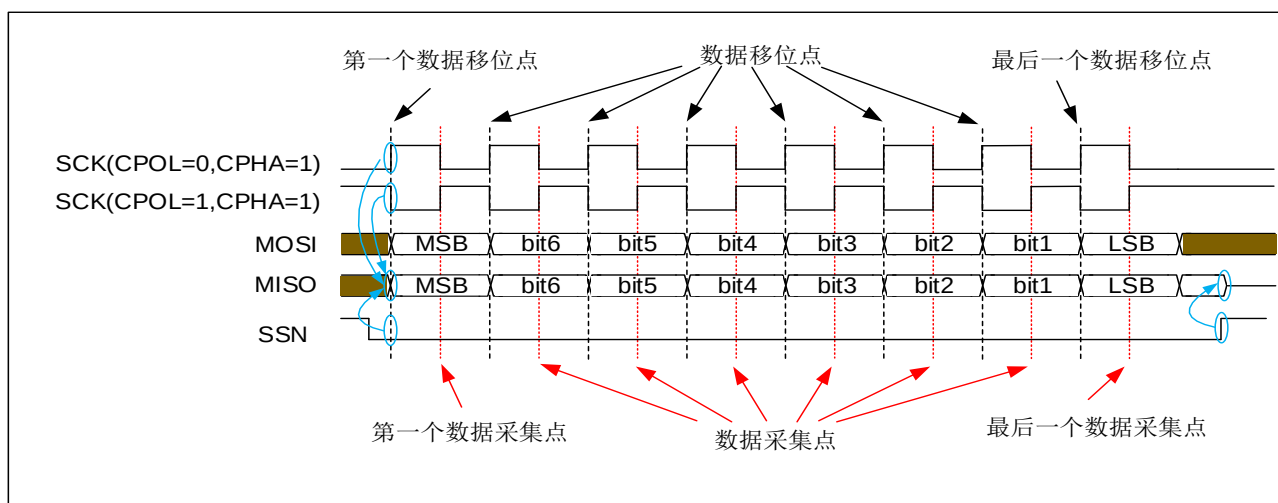


图 6-5 SPI 时序图——从机(cpha=1)

表 6-6 SPI 特性——从机

符号	C	说明	最小值	最大值	单位	注解
f_{op}	T	操作频率	-	4M	Hz	
t_{sc}	T	CS 建立时间	$2 \times t_{bus}$	-	ns	从 CS 下降沿到第一个 SCK 边沿的时间
t_{hc}	T	CS 保持时间	$2 \times t_{bus}$	-	ns	从最后一个 SCK 边沿到 CS 上升沿的时间
t_a	T	从机访问时间	-	t_{bus}	ns	从高阻态到数据有效的的时间
t_{dis}	T	从机 MISO 禁用时间	-	t_{bus}	ns	到高阻态状态的保持时间
t_{wsck}	T	时钟 (SCK) 高电平或低电平时间	30%	70%		未考虑时钟上升及下降时间
t_{si}	T	数据输入建立时间	12		ns	
t_{hi}	T	数据输入保持时间	28		ns	
t_{vo}	T	数据输出有效时间	-	36	ns	

符号	C	说明	最小值	最大值	单位	注解
t _{ho}	T	数据输出保持时间	14	-	ns	
t _{rsck}	T	时钟输入上升时间	1.4	5.4	ns	
t _{fsck}	T	时钟输入下降时间	1.4	6.4	ns	

6.3.4 CAN 规格

表 6-7 CAN 唤醒脉冲特性

符号	C	参数	最小值	典型值	最大值	单位
t _{WUP}		过滤掉的 CAN“显性”唤醒脉冲参数	-	-	0.9	μs
t _{WUP}		有效 CAN“显性”唤醒脉冲参数	4.7	-	-	μs

6.3.5 UART 规格

通用的异步收发器(UART)的基本功能是按单 bit 传输和接收串行数据。下面将介绍 UART 主要的参数特性：

1. 最多支持 2 路 UART，同时最多支持 2 路硬件 LIN 功能；
2. UART 支持产生或接收波特率范围在 600bps~115200bps 的数据,实际波特率和理想波特率误差不超过 1%；
3. GPIO 管脚中断脉冲宽度最小应超过 333ns。由于管脚对输入信号没有经过无源滤波处理，因此至少要保证超过此脉冲宽度，才能保证输入信号可以被识别；
4. 使用软件 LIN 功能时可支持的最高波特率为 20Kbps；

6.3.6 I2C 规格

表 6-10 不同模式下 I2C 总线特性

符号	C	参数	标准模式		快速模式		快速+模式		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
f _{SCL}	T	SCL 时钟频率	0	100	0	400	0	1000	kHz
t _{HD;STA}	T	开始状态保持时间	4	-	0.6	-	0.26	-	μs
t _{LOW}	T	SCL 时钟低电平长度	4.7	-	1.3	-	0.5	-	μs
t _{HIGH}	T	SCL 时钟高电平长度	4	-	0.6	-	0.26	-	μs
t _{SU;STA}	T	重复开始状态建立时间	4.7	-	0.6	-	0.26	-	μs
t _{HD;DAT}	T	数据保持时间	0	-	0	-	0	-	μs
t _{SU;DAT}	T	数据建立时间	250	-	100	-	50	-	ns
t _r	T	SDA 和 SCL 信号的上升时间	-	1000	20	300	-	120	ns
t _f	T	SDA 和 SCL 信号的下降时间	-	300	20 ×	300	20 ×	120	ns
	T				(VDD /5.5 V)		(VDD /5.5 V)		

符号	C	参数	标准模式		快速模式		快速+模式		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
$t_{SU;STO}$	T	结束状态的建立时间	4	-	0.6	-	0.26	-	μs
t_{BUF}	T	结束和开始状态之间的总线空闲时间	4.7	-	1.3	-	0.5	-	μs
C_b	T	总线负载电容	-	400	-	400	-	550	pF
$t_{VD;DAT}$	T	数据有效时间	-	3.45	-	0.9	-	0.45	μs
$t_{VD;ACK}$	T	应答数据有效时间	-	3.45	-	0.9	-	0.45	μs
V_{nL}	T	低电平期间的噪声	0.1VDD	-	0.1VDD	-	0.1VDD	-	V
V_{nH}	T	高电平期间的噪声	0.2VDD	-	0.2VDD	-	0.2VDD	-	V

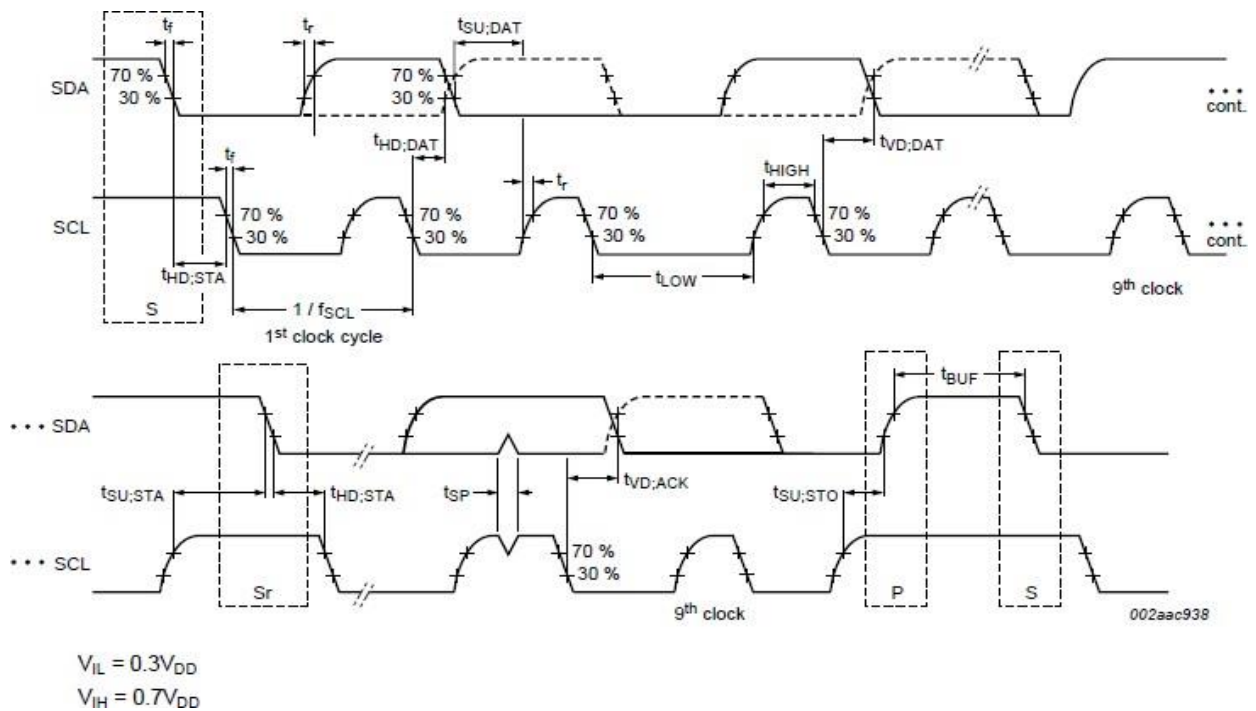


图 7-6 标准与快速模式下 I2C 总线时序图

6.3.7 SWD 电气规格

表 6-11 SWD 全电压范围电气规格

符号	C	说明	最小值	典型值	最大值	单位
		工作电压	2.7	—	5.5	V
J1	D	SWDCLK 工作频率 串行线调试	-	—	5	MHz
J2	D	SWDCLK 周期	1/J1	—	—	ns
J3	D	SWDCLK 时钟脉宽 串行线调试	50	—	—	ns
J4	D	SWDCLK 上升和下降时间	—	—	3	ns
J9	D	到 SWDCLK 上升的 SWDIO 输入数据建立时间	5	—	—	ns
J10	D	SWDCLK 上升之后的 SWDIO 输入数据保持时间	5	—	—	ns
J11	D	SWDCLK 高电平到 SWDIO 数据有效	—	—	41	ns

6.4 时钟源特性

6.4.1 外部晶振(HXT)特性

表 6-12 HXT 规格(环境温度范围 = -40 至 125 °C)

符号	C	特性	符号	最小值	典型值	最大值	单位
1	C	振荡器频率	f _{hi}	8	—	32	MHz
2	C	晶振启动时间	t _{CST}	—	5	—	ms
3	C	停振检测频率上限	F _{stop}	—	—	200	KHz

注释 1：对于 CL1 和 CL2，推荐使用为高频率应用设计、满足晶振需求的高质量外部陶瓷电容，CL1 和 CL2 通常大小相同，其容值可参考所用晶振规格匹配的容值。

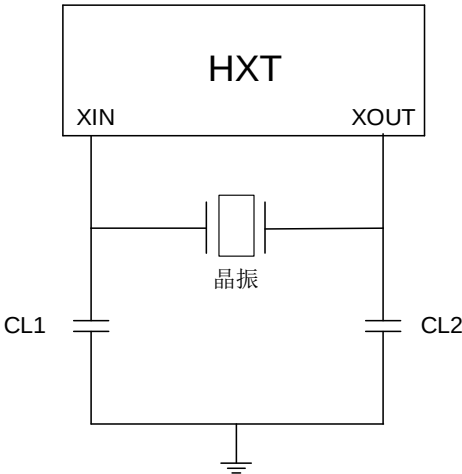


图 6-6 典型晶振或振荡器电路

6.4.2 外部 32.768KHz 晶振 LXT 特性

表 6-13 LXT 规格（环境温度范围 = -40 至 125 °C）

符号	C	参数	条件	最小值	典型值	最大值	单位
F _{SCLK}	P	晶振频率			32.768		KHz
ESR _{SCLK}	D	支撑晶体等效串联电阻			65	85	KOhm
CSCLK	D	支持晶体外部外部负载范围	2 个晶体引脚上分别有 2 个 CSCLK		12		pF
I _{dd(1)}	C	稳定时的电流消耗	ESR=65kOhm CSCLK=12pF		200	1000	nA
DC _{SCLK}	P	占空比		40	50	60	%
T _{start}	D	启动时间	ESR=65KOhm CSCLK=12pF 已达到 40%-60%的占空比		500		ms

6.4.3 内部 RC 特性

表 6-14 HIRC 和 LIRC 规格(环境温度范围 = -40 至 125 °C)

符号	C	特性		最小值	典型值	最大值	单位
flfosc	P	HIRC 输出频率范围 VDD=5.0V	温度范围: -20°C 至 125°C	7.84	8.00	8.16	MHz
	P		-40°C 至 -20°C	7.76	8.00	8.24	
	P		25°C	7.96	8.00	8.04	
fint_ft	P	LIRC 内部基准时钟 频率, 出厂已调整	T = 25 °C, VDD = 5 V	—	38.4/ 32.768	—	KHz
Δfint_t	C	LIRC 在 T = 25 °C, VDD = 2.7- 5.5 V 的条件下调 整, IRC 随温度变 化产生的偏差	温度范围: -40 °C 到 125°C	-5	—	5	%

6.4.4 PLL 规格

表 6-15 PLL 特性

符号	C	参数	最小值	典型值	最大值	单位
f _{PLL_IN}	P	PLL 输入时钟频率	4		32	MHz
	D	输入时钟占空比	45	50	55	%
f _{PLL_OUT}	D	PLL 输出时钟频率	5		48	MHz

6.5 模拟

6.5.1 片内 Flash 规格

表 6-16 片内 Flash 特性

符号	C	特性	最小值	典型值	最大值	单位
V _{prog/erase}	D	- 40℃ 到 125 °C 温度环境下编程/擦除工作电压	2.7	—	5.5	V
V _{Read}	D	读取操作的供电电压	2.7	—	5.5	V
f _{SYS}	D	片内 Flash 总线频率	—	—	48	MHz
t _{MER}	D	全片擦除	30	—	40	ms
t _{PER}	D	扇区擦除	4	—	5	ms
t _{PRG1}	D	编程片内 Flash (1 个字)	42	—	50	us
n _{EDR}	C	片内 Flash 寿命（擦除-编程循环次数）	100,000	—	—	Cycles
t _{RET}	C	数据保存期限	T _j =25°	100	—	年
			T _j =105°	20	—	

6.5.2 ADC 特性

表 6-17 12 位 ADC 和温度传感器工作条件和特性

符号	C	参数	条件	最小值	典型值	最大值	单位
V _{AVDD}	P	供电电压	绝对值	2.7	-	5.5	V
V _{IN}	D	输入电压范围	-	0	-	V _{AVDD}	V
R _{IN}	D	输入阻抗	-	-	-	5	KΩ
C _{ADC}	C	内部采样电容	-	-	2.3	-	pF
R _{ADC}	P	采样开关电阻	-	-	2.6	-	KΩ
f _{ADC}	D	ADC 时钟频率	-	-	-	24	MHz
f _{sample}	D	采样时间	-	167	-	-	ns
f _{trig}	C	采样频率	f _{ADC} =24 MHz	-	-	1	MHz
INL	P	积分非线性	-	-4	±1.0	4	LSB
DNL	D	差分非线性	-	-3	±1.0	3	LSB
ENOB	D	有效位数	-	-	10.5	-	Bit
m	C	温度传感器斜率	-40°C–125°C	--	3.66	--	mV/°C
V _{TEMP25}	P	温度传感器电压	25°C	--	1.003	--	V

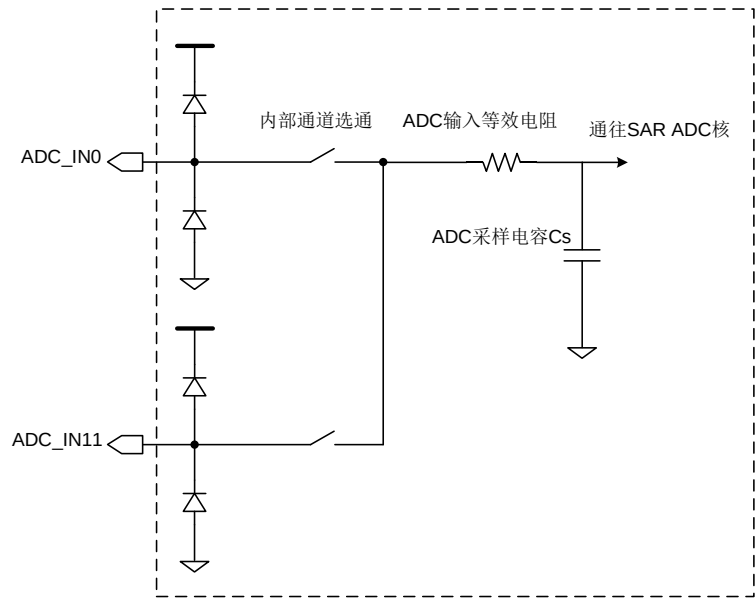


图 6-7 ADC 输入等效图

6.5.3 内部 VREF 特性

表 6-18 内部参考电压 VREF 工作条件和特性

符号	C	参数	条件	最小值	典型值	最大值	单位
V _{AVDD}	P	供电电压	绝对值	2.7	-	5.5	V
V _{IN}	D	输入电压范围	-	0	-	V _{AVDD}	V
R _{IN}	D	输入阻抗	-	-	-	5	KΩ
C _{ADC}	C	内部采样电容	-	-	2.3	-	pF
R _{ADC}	P	采样开关电阻	-	-	2.6	-	KΩ
	D	VREF2V	VDD=3.3V	1.96	2.00	2.04	V
		VREF4V	VDD=3.3V	3.92	4.00	4.08	V
		参考电压启动时间		14	16	20	us
f _{ADC}	D	ADC 时钟频率	-	-	-	24	MHz
f _{sample}	D	采样时间	-	167	-	-	ns

6.5.4 模拟比较器(VC)特性

表 6-19 比较器电气规格

符号	C	参数	最小值	典型值	最大值	单位
V _{AVDD}	D	供电电压	2.7	—	5.5	V
I _{DDA}	T	供电电流（工作模式）	—		20	μA
V _{AIN}	D	模拟输入电压	0	—	V _{AVDD}	V
V _{AIO}	P	模拟输入偏移电压	—	3	40	mV
V _H	C	模拟比较器迟滞电压	—	10/20/30	—	mV
I _{DDA} OFF	T	供电电流（关闭模式）	—		100	nA
t _D	C	传输延迟	—	0.4	1	μs

6.5.5 PGA 特性

表 6-20 PGA 电气规格

符号	C	参数	最小值	典型值	最大值	单位
V _{AVDD}	D	供电电压	2.7	—	5.5	V
V _i		输入电压	0	—	AVDD-0.7	
V _o		输出电压	0.1	—	AVDD-0.1	V
Offset 电压		输入 offset 电压	—	10	—	mV
SR	C	压摆率(空载)	—	2.5	—	V/uS
I _{DDA}	T	供电电流（工作模式）	—	—	20	μA
PSRR	D	电源抑制比	50	70	—	dB
GBW	D	增益带宽	3.6	11	—	MHZ
CMRR	D	共模抑制比	—	90	—	dB

6.5.6 从低功耗模式唤醒时间

表 6-21 从低功耗模式唤醒时间

符号	C	参数	最小值	典型值	最大值	单位
Twu	C	WKBYHIRC=0, 唤醒前后用同一个 clock 源	-	25	-	μs
		WKBYHIRC=0, 唤醒前切成内部 HIRC	-	30	-	

7 尺寸

7.1 LQFP80 封装信息

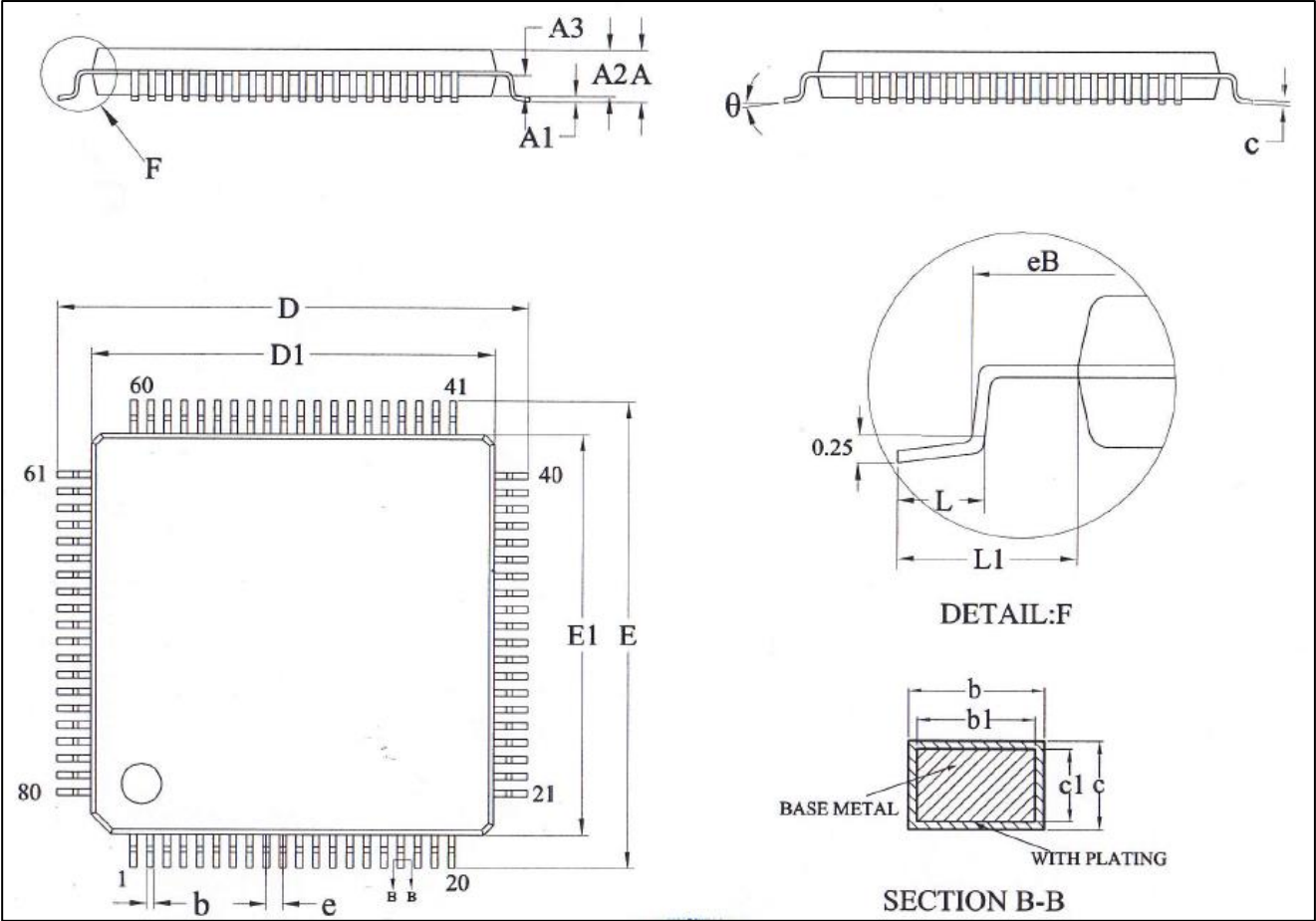


图 7-1 LQFP80 引脚

表 7-1 LQFP80 引脚参数

符号	最小值	标准值	最大值
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
c	0.13	—	0.17
D	—	14.00	—
D1	—	12.00	—
E	—	14.00	—
E1	—	12.00	—
e	—	0.50	—
eB	11.05	—	11.25
L	0.45	—	0.75
L1	—	1.00	—
θ	0.0°	—	7.0°

7.2 LQFP64 封装信息

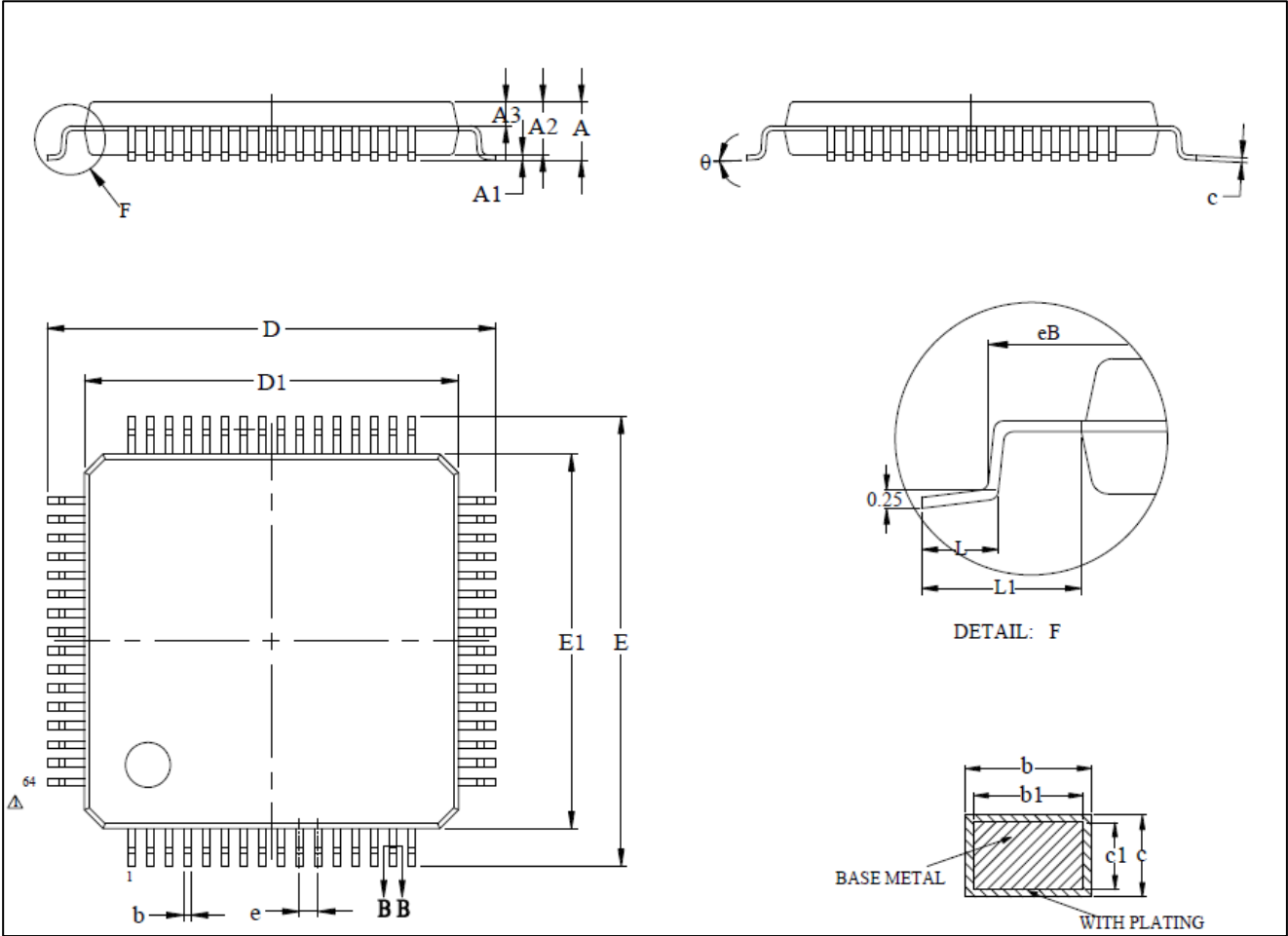


图 7-2 LQFP64 引脚

表 7-2 LQFP64 引脚参数

符号	最小值	标准值	最大值
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	0.22	0.27
c	0.13	—	0.17
D	—	12.00	—
D1	—	10.00	—
E	—	12.00	—
E1	—	10.00	—
e	—	0.50	—
eB	11.05	—	11.25
L	0.45	—	0.75
L1	—	1.00	—
θ	0.0°	—	7.0°

7.3 LQFP48 封装信息

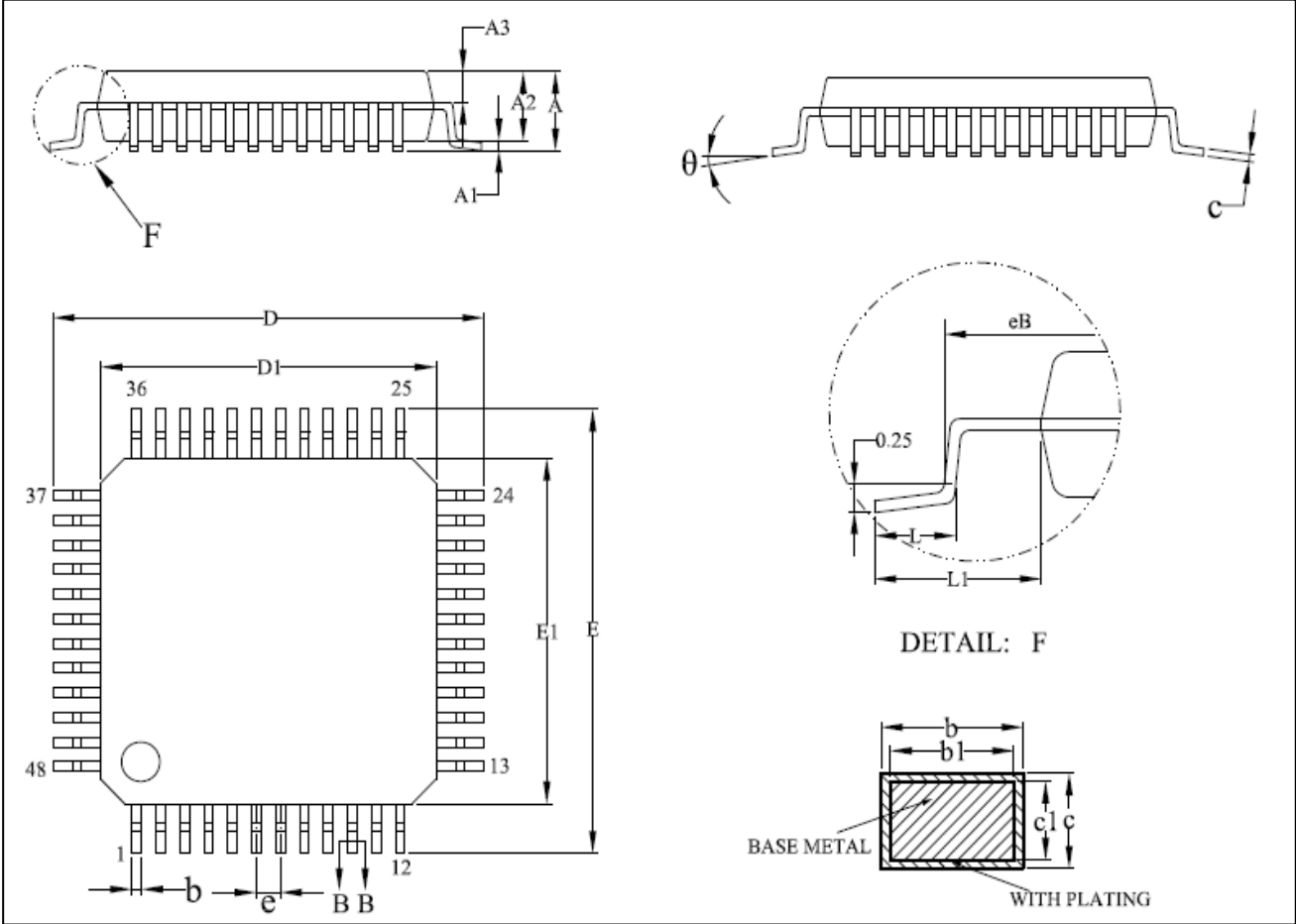


图 7-3 LQFP48 – 48 引脚

表 7-3 LQFP48 引脚参数

符号	最小值	标准值	最大值
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
c	0.13	—	0.17
D	8.80	9.00	9.20
D1	6.80	7.00	7.20
E	8.80	9.00	9.20
E1	6.80	7.00	7.20
eB	8.10	—	8.25
e	—	0.50	—
L	0.45	—	0.75
L1	—	1.00	—
θ	0°	3.5°	7°

7.4 LQFP32 封装信息

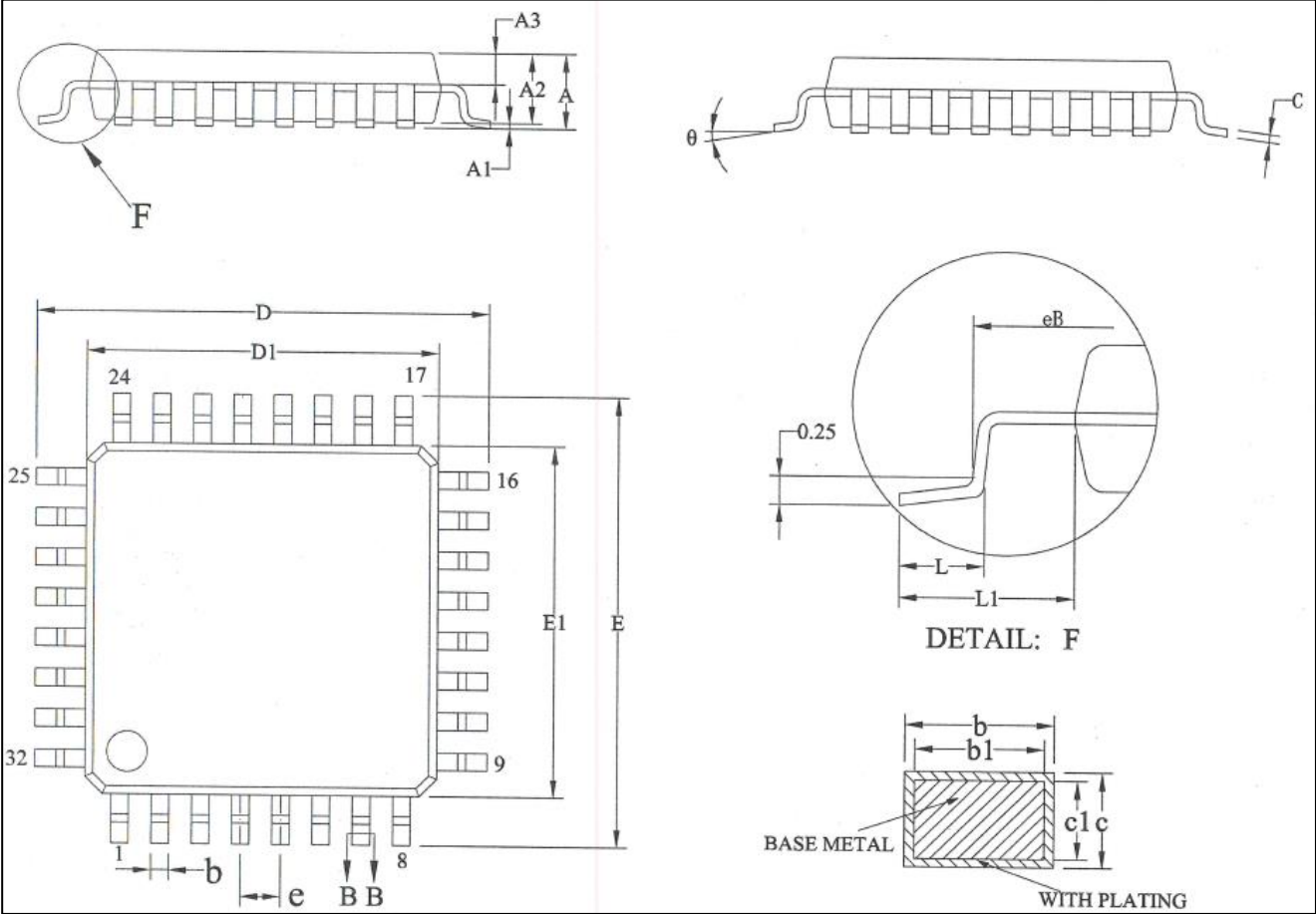


图 7-4 LQFP32 – 32 引脚

表 7-4 LQFP32 引脚参数

符号	最小值	标准值	最大值
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	0.22	0.27
c	0.13	—	0.17
D	—	9.00	—
D1	—	7.00	—
E	—	9.00	—
E1	—	7.00	—
e	—	0.80	—
K	0°	3.5°	7°
L	0.45	0.60	0.75
L1	—	1.00	—
θ	0.0°	—	7.0°

7.5 QFN32 封装信息

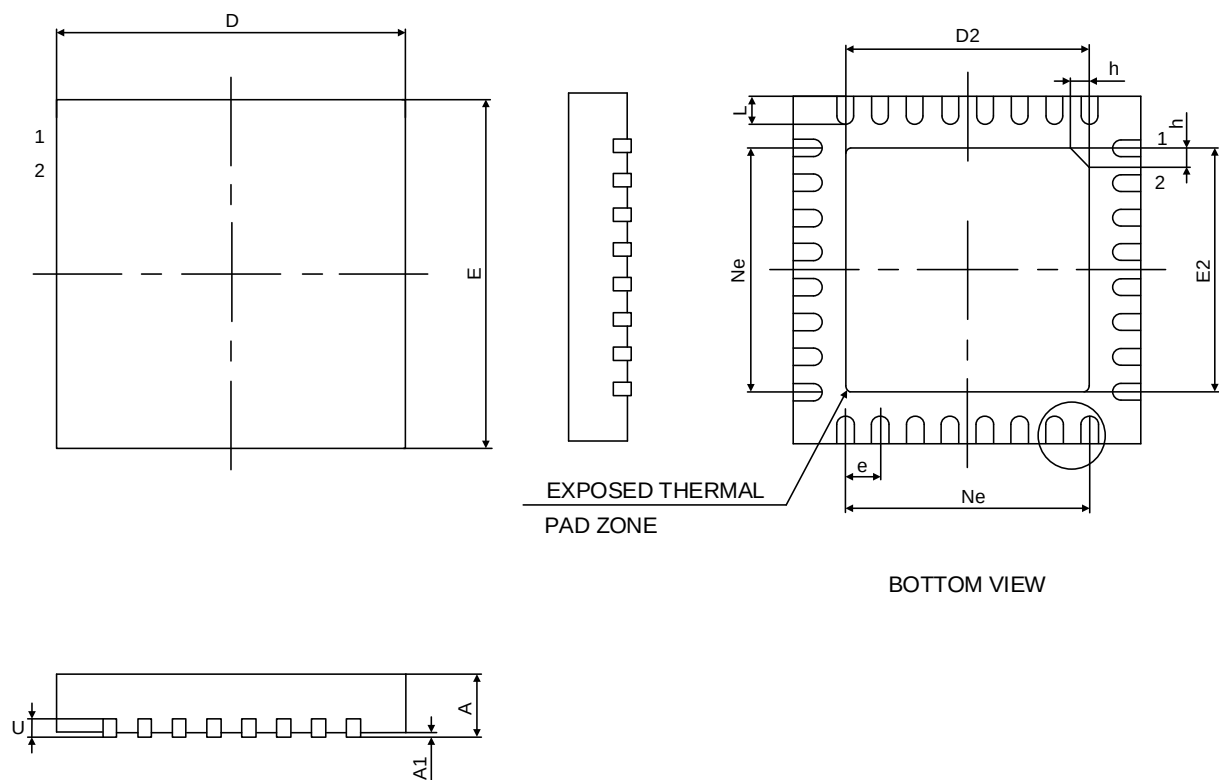


图 7-5 QFN32L 引脚

表 7-5 QFN32L 引脚参数

符号	最小值	标准值	最大值
A	0.70	0.75	0.80
A1	—	0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.25
D	4.90	5.00	5.10
D2	3.40	3.50	3.60
e	0.50BSC		
Ne	3.50BSC		
E	4.90	5.00	5.10
E2	3.40	3.50	3.60
L	0.35	0.40	0.45
h	0.30	0.35	0.40

8 热规格

8.1 热特性

本节介绍有关工作温度范围、功耗和封装热阻的信息。I/O 引脚上的功耗通常比片上逻辑和电压调节器电路中的功耗少，且它由用户决定而并非由 MCU 设计控制。要在功率计算中考虑 $P_{I/O}$ ，请确定实际引脚电压和 VSS 或 VDD 之间的电压差并乘以每个 I/O 引脚的引脚电流。除异常高引脚电流（高负载）外，引脚电压和 VSS 或 VDD 之间的压差将会很小。

表 8-1 热学属性

符号	说明	80	64	48	32	32	单位	附注
		LQFP	LQFP	LQFP	LQFP	QFN		
θ_{JA}	环境热阻结	89	76	86	89		°C/W	

如果考虑操作条件，设备能达到的最大结温度为：

$$T_J(max) = T_A(max) + P_D(max) \times \theta_{JA}$$

- $T_A(max)$ 是 °C 中的最大工作环境温度
- θ_{JA} 是封装连接/环境的热阻，单位是 °C/W
- $P_D = P_{INT} + P_{I/O}$
 - P_{INT} 是 I_{DD} 和 V_{DD} 产生的功耗
 - $P_{I/O}$ 是来自输出端口的功耗：

$$P_{I/O} = \sum (V_{OL} \times I_{OL}) + \sum ((V_{DD} - V_{OH}) \times I_{OH})$$

考虑到应用中低/高水平的 I/O 的实际 V_{OL} / I_{OL} 和 V_{OH} / I_{OH} 。

9 版权声明

本数据手册包含芯弦半导体的机密信息。禁止未经授权使用或披露本手册包含的信息。对因未经芯弦半导体授权而全部或部分披露此文档内容而给芯弦半导体带来的任何损失或损害，芯弦半导体将追究责任。

芯弦半导体保留对此处任何信息进行更改的权利，此处的信息如有变更，恕不另行通知。

芯弦半导体对使用或依赖此处包含的信息不承担任何责任。

本数据手册的所有信息均“按原样”提供，不提供任何形式的明示、暗示、法定或其他形式的保证。芯弦半导体明确拒绝对适销性，非侵权性和针对特定用途的适用性方面的所有暗示保证。芯弦半导体对本手册可能使用、包含或提供的任何第三方软件不提供任何担保，并且用户同意仅向该等第三方寻求与此相关的任何担保索赔。芯弦半导体对于根据用户规格或为符合特定标准或公开论坛而产生的任何交付物，也不承担任何责任。

10 修订记录

版本	日期	描述
0.5	2023/05/29	初版对外发布
0.6	2023/06/13	1. DC特性中，VOH/VOL的驱动能力的电压修改 2. 型号功能对照表里，48pin GPIO的误记修改，42→43 3. 7.5 QFN32L封装信息
0.7	2023/07/11	1. 5.3 ESD操作额定值，latch up电流值修改。200mA→400mA 2. 3.1信号多路复用和引脚分配/3.2 器件引脚分配 48pin封装的VCAP和VDD端子的位置对调
0.8	2023/09	1. 加入20PIN TSSOP封装的说明 2. TSN的精度修改为±2→±5 3. VCAP电容推荐值修改，1uF~4.7uF→2.2uF~4.7uF(推荐4.7uF) 4. 上电斜率追加
0.9	2023/12/05	1. 增加上电斜率内容 2. 修正部分文字描述错误
1.0	2023/12/18	删除TSSOP20相关信息
1.1	2024/04/02	1. 删除机密水印标识 2. 修改了HIRC/LIRC的精度特性 3. 修订了PGA的参数特性 4. 修订了内部参考电压的参数特性